

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-165155

(43)Date of publication of application : 10.06.1994

(51)Int.Cl.

H04N 7/133

H03M 7/30

H04N 5/92

(21)Application number : 05-163433

(71)Applicant : SONY CORP

(22)Date of filing : 01.07.1993

(72)Inventor : KATO MOTOKI

(30)Priority

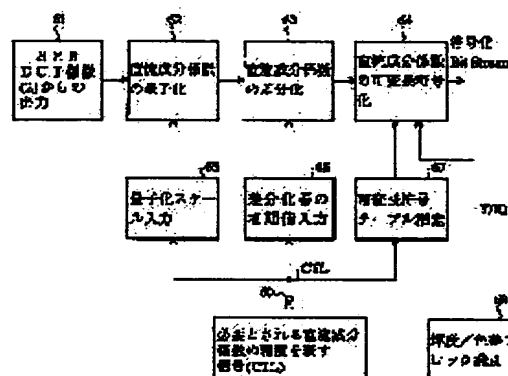
Priority number : 04258200 Priority date : 28.09.1992 Priority country : JP

(54) METHOD AND DEVICE FOR CODING/DECODING DYNAMIC PICTURE AND RECORDING MEDIUM

(57)Abstract:

PURPOSE: To attain coding with high picture quality and high efficiency by adaptively changing the coding accuracy of a DC coefficient for orthogonal transformation in accordance with required picture quality.

CONSTITUTION: A signal CTL expressing the accuracy of a DC component coefficient for orthogonal transformation which is required in accordance with a required picture quality is supplied to a terminal 60. Only a DC component coefficient out of a DCT coefficient generated from a prestage DCT 61 is linearly quantized by a quantizing circuit 62. The quantized DC component coefficient each of adjacent blocks are differentiated by a differentiating circuit 63. In luminance blocks, the DC component coefficients each of adjacent blocks are differentiated in the zigzag order, and in color difference blocks, the DC component coefficients each of horizontally adjacent blocks are differentiated and restored in respective blocks. A variable length coding circuit 64 outputs the DC component coefficients differentiated based upon accuracy specified by the CTL signal as the combination of a variable length code and a fixed length code in accordance with a program while referring to a table.



LEGAL STATUS

[Date of request for examination] 23.05.2000

[Date of sending the examiner's decision of rejection] 01.05.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3348310

[Date of registration] 13.09.2002

[Number of appeal against examiner's decision of rejection] 2002-09800

[Date of requesting appeal against examiner's decision of rejection] 31.05.2002

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-165155

(43)公開日 平成6年(1994)6月10日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 7/133	Z			
H 0 3 M 7/30	A	8522-5 J		
H 0 4 N 5/92	H	4227-5 C		

審査請求 未請求 請求項の数16(全 41 頁)

(21)出願番号 特願平5-163433

(22)出願日 平成5年(1993)7月1日

(31)優先権主張番号 特願平4-258200

(32)優先日 平4(1992)9月28日

(33)優先権主張国 日本(JP)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 加藤 元樹

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

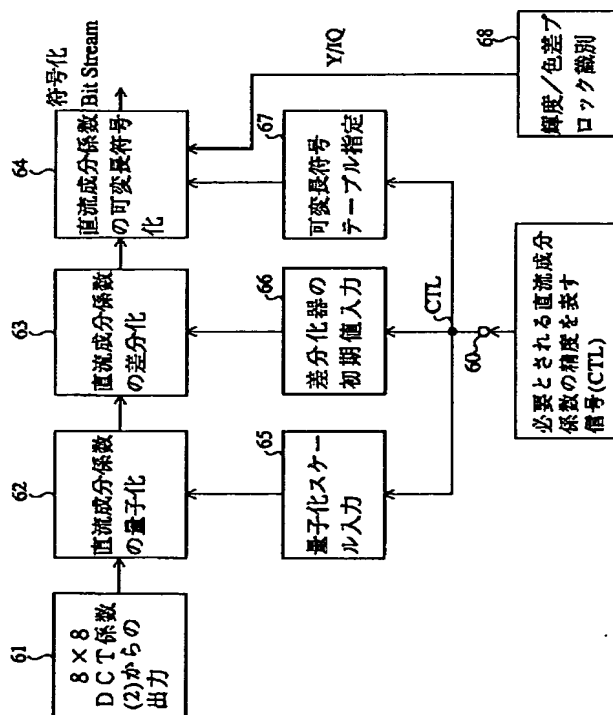
(74)代理人 弁理士 稻本 義雄

(54)【発明の名称】 動画像符号化、復号化方法およびその装置、並びに記録媒体

(57) 【要約】

【目的】 要求される画質に応じて、直交変換の直流成分の係数の量子化ビット数の精度を切り換えられるようにする。

【構成】 伝送する動画像の画質を評価し、必要とされる直流成分係数のビット精度を表す信号（CTL）を形成する。そして、この信号（CTL）に応じて、直交変換後のデータの直流成分係数を量子化し、さらに可変長符号化する。この符号化において使用される可変長符号化テーブルは、信号（CTL）により指定されるビット精度に基づいて拡張可能とされており、例えば入力画像信号が 8 ビット精度のものである場合には、可変長符号化テーブルは、8 乃至 11 ビット精度に拡張されたものが用いられる。



【特許請求の範囲】

【請求項 1】 動画像の画像内及び画像間符号化処理をするとともに、画素データを直交変換し、量子化処理し、動画像信号を圧縮伝送する動画像符号化方法において、

原画像の画質に応じて、直交変換データの直流成分係数の符号化精度を選択し、

この選択された符号化精度に応じて直流成分係数を量子化することを特徴とする動画像符号化方法。

【請求項 2】 動画像の画像内及び画像間符号化処理をするとともに、画素データを直交変換する回路と、量子化処理する回路とよりなる、動画像信号を圧縮伝送する動画像符号化装置において、

原画像の画質に応じて、直交変換データの直流成分係数の符号化精度を選択する回路と、

この選択された符号化精度に応じて直流成分係数を量子化する回路とを含むことを特徴とする動画像符号化装置。

【請求項 3】 画像内及び画像間符号化処理をするとともに、画素データを直交変換し、量子化処理した動画像信号を復号する動画像復号化方法において、

直流成分係数を復号化し、復号化された直流成分係数を逆量子化する方法を含み、

さらに必要とされる直流成分係数の精度を表す信号の発生方法を含み、

上記直流成分係数の精度を表す信号に応じて、適応的に直流成分係数の復号化方法を変更することを特徴とする動画像復号化方法。

【請求項 4】 画像内及び画像間符号化処理をするとともに、画素データを直交変換し、量子化処理した動画像信号を復号する動画像復号化装置において、

直流成分係数の復号化回路と、
復号化された直流成分係数を逆量子化する回路とを含み、

さらに必要とされる直流成分係数の精度を表す信号の発生回路を含み、

上記直流成分係数の精度を表す信号に応じて、適応的に直流成分係数の復号化回路を制御することを特徴とする動画像復号化装置。

【請求項 5】 請求項 1 から請求項 4 記載の動画像符号化もしくは動画像復号化方法、または動画像符号化もしくは動画像復号化装置において、

さらに可変長符号化、可変長復号化方法又は回路を含み、

上記可変長符号化、可変長復号化方法又は回路はコード変更のための符号化テーブルを含み、

上記直流成分係数の精度を表す信号に応じて、テーブルの使用領域の拡張を行うことを特徴とする動画像符号化もしくは動画像復号化方法、または動画像符号化もしくは動画像復号化装置。

【請求項 6】 上記直流成分係数の精度を表す信号は、シーケンス単位で決定されることを特徴とする請求項 1 から請求項 4 記載の動画像符号化もしくは動画像復号化方法、または動画像符号化もしくは動画像復号化装置。

【請求項 7】 上記直流成分係数の精度を表す信号は、グループオブピクチャ単位で決定されることを特徴とする請求項 1 から請求項 4 記載の動画像符号化もしくは動画像復号化方法、または動画像符号化もしくは動画像復号化装置。

【請求項 8】 上記直流成分係数の精度を表す信号は、ピクチャ単位で決定されることを特徴とする請求項 1 から請求項 4 記載の動画像符号化もしくは動画像復号化方法、または動画像符号化もしくは動画像復号化装置。

【請求項 9】 上記直流成分係数の精度を表す信号は、スライス単位で決定されることを特徴とする請求項 1 から請求項 4 記載の動画像符号化もしくは動画像復号化方法、または動画像符号化もしくは動画像復号化装置。

【請求項 10】 上記直流成分係数の精度を表す信号は、ブロック単位で決定されることを特徴とする請求項 1 から請求項 4 記載の動画像符号化もしくは動画像復号化方法、または動画像符号化もしくは動画像復号化装置。

【請求項 11】 上記ブロックは 8×8 画素であることを特徴とする請求項 10 記載の動画像符号化もしくは動画像復号化方法、または動画像符号化もしくは動画像復号化装置。

【請求項 12】 上記動画像が 8 ビット精度のものである場合、上記直流成分係数の精度は、8 から 11 ビットであることを特徴とする請求項 1 から請求項 4 記載の動画像符号化もしくは動画像復号化方法、または動画像符号化もしくは動画像復号化装置。

【請求項 13】 上記直流成分係数は、離散コサイン変換の係数であることを特徴とする請求項 1 から請求項 4 記載の動画像符号化もしくは動画像復号化方法、または動画像符号化もしくは動画像復号化装置。

【請求項 14】 上記直流成分係数は、輝度信号及び色差信号毎に値を有することを特徴とする請求項 1 から請求項 4 記載の動画像符号化もしくは動画像復号化方法、または動画像符号化もしくは動画像復号化装置。

【請求項 15】 請求項 1 から請求項 2 記載の動画像符号化方法または動画像符号化装置によって形成されたビットストリームを記録したことを特徴とする動画像の記録媒体。

【請求項 16】 上記記録媒体は光ディスクであることを特徴とする請求項 15 記載の動画像の記録媒体。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えば動画像を符号化して記録媒体に記録し、またその記録媒体から動画像を復号化する場合に用いて好適な動画像符号化、復号化方

法およびその装置、並びに記録媒体に関する。

【0002】

【従来の技術】動画の符号化方法として、近年、直交変換が検討されている。この直交変換の代表的なものとして、DCT（離散コサイン変換、Discrete Cosine Transform）符号化方法がある。特に画像の符号化においては、画像を所定の画素数のブロックとして符号化することから、2次元DCTが使用される。

【0003】2次元DCTの係数の性質について、図18を用いて説明する。例えば8ライン×8画素からなる2次元ブロックに2次元DCTを施した場合、図18に示すように、8×8のDCT係数 $F(x, y)$ が発生する。これらの係数のうち、0行0列目の係数 $F(0, 0)$ は2次元ブロック内の平均輝度値を表す直流成分に相当することが知られている。

【0004】また、 $F(1, 0)$ 、 $F(2, 0)$ 、 \dots 、 $F(6, 0)$ 、 $F(7, 0)$ の如く、右方向に並ぶ係数は2次元ブロック内の垂直方向の高周波数成分を表すことが知られている。このことは、次に続く行 $F(1, 1)$ 、 $F(2, 1)$ 、 \dots 、 $F(6, 1)$ 、 $F(7, 1)$ についても同様である。一方、 $F(0, 1)$ 、 $F(0, 2)$ 、 \dots 、 $F(0, 6)$ 、 $F(0, 7)$ の如く、下方向に並ぶ係数は2次元ブロック内の水平方向の高周波数成分を表すことが知られている。このことは、次に続く列についても同様である。

【0005】DCT符号化は、画像信号の持つ画像内2次元相関性を利用して、ある特定の周波数成分に信号電力を集中させ、この集中分布した係数のみを符号化することで情報量の圧縮を可能とする。例えば、絵柄が平坦で、画像信号の自己相関性が高いブロック（ブロック内の各画素レベルがほとんど等しい）では、低周波数成分（ $F(0, 0)$ 、 $F(1, 0)$ 、 $F(0, 1)$ 、 $F(1, 1)$ ）近傍のDCT係数は大きな値を示し、他の係数はほとんど0となる。よってハフマン符号等による、連続する同一係数を省略して符号化する手法を使用することにより、情報量の圧縮が可能となる。

【0006】2次元DCTの係数の符号化及び復号化方法には、その代表的なものに、ISO-IEC/JTC1/SC2/WG11（通称、MPEGという）において決められた動画の符号化の標準方式（通称、MPEG1という）がある。MPEG1は、画像内及び画像間符号化処理装置を有しているが、画像内符号化処理の場合の2次元DCT係数の符号

化に際しては、その直流成分係数と交流成分係数とは、異なった符号化方法を用いる。

【0007】画像内符号化処理の場合の2次元DCT係数の直流成分係数の符号化方法及び復号化方法について、その代表的なものであるMPEG1で使用されている方法を、図19、表1、表2、表3を参照して説明する。

【0008】まず、符号化方法を図19（a）により説明する。入力画像1は、DCT2により、8ライン×8画素からなるブロック毎に2次元DCTが施され、DCT係数(e1)に変換される。DCT係数(e1)の内、直流成分の係数は、量子化器3により所定の値（MPEG1では8）の量子化ステップで線形量子化され、端数は4捨5入される。量子化後の直流成分係数(e2)は、隣あった各々のブロック間で差分化器4により、差分化される。差分化は、輝度（Y）ブロックと2つの色差（Cb、Cr）ブロックとでは、異なる方式で行われる。

【0009】図20は差分化を説明するための図である。即ち、図20（a）は輝度ブロックの差分化方式を示し、各ブロックの直流成分係数は、同図に示すように、ジグザグの順序で上下左右の隣接ブロックの直流成分係数間で差分化され、それぞれのブロックに再格納する。色差ブロックでは、図20（b）に示すように、左右に隣あった各々のブロックの直流成分係数間で差分化され、それぞれのブロックに再格納する。

【0010】これらの差分化を行う差分化器4または逆差分化器9の具体構成を図21（a）または図21

（b）にそれぞれ示す。ただし、最初のブロック（画像間符号化処理されたブロックの後の最初の画像内符号化処理されたブロック、もしくはスライスの最初のブロック）は、差分化することができない（隣接ブロックが揃っていない）ため、初期値として所定の値（MPEG1では128）が与えられ、この初期値との差分がとられる。

【0011】差分化された係数(e3)は、可変長符号化回路5（図19（a））により可変長符号化される。可変長符号化においては、差分化された直流成分係数(e3)は、表1、表2、表3に示す変換テーブルに基づいて、所定のコードに変換される。

【0012】

【表1】

SIZE	Differential DC	Code	
0	0 0		
1	-1 1	0 1	
2	-3,-2 2,3	00,01	10,11
3	-7,-6,-5,-4 4,5,6,7	000,001,010,011	100,101,110,111
4	-15,-14,...-9,-8 8,9,...14,15	0000,0001,...0111	1000,1001,...1111
5	-31,-30,...-16,-17 16,17,...30,31	00000,00001,...01111	10000,10001,...11111
6	-63,-62,...-33,-32 33,34,...62,63	000000,00001,...011111	100000,100001,...111111
7	-127,-126,...-65,-64 64,65,...126,127	0000000,0000001,...0111111	1000000,1000001,...1111111
8	-255,-254,...-129,-128 128,129,...254,255	00000000,00000001,...01111111	10000000,10000001,...11111111

【0013】

【表2】

VLC code	dct dc size luminance
100	0
00	1
01	2
101	3
110	4
1110	5
11110	6
111110	7
1111110	8

【0014】

【表3】

VLC code	dct dc size chrominance
00	0
01	1
10	2
110	3
1110	4
11110	5
111110	6
1111110	7
11111110	8

【0015】まず、差分化された直流成分係数(DIFFERENTIAL DC) (e3)から、表1を参照してSIZE (=0, 1, ..., 8のいずれか)を求め、それを表2または表3により符号化する。即ち、例えば直流成分係数(DIFFERENTIAL DC) (e3)が+5であった場合、表1よりSIZEは3とされる。そして、このSIZEとしての3は、表2または表3の右コラムが3の行の左コラムに記述された符号101または110に符号化される。

【0016】次に、再び表1を参照して、差分化された直流成分係数(DIFFERENTIAL DC) (e3)を表す固定長符号(Code) (SIZEに等しいビット幅の係数値を表す固定長符号)を求め、これら2つの符号の組み合わせで、差分化された直流成分係数値を伝送する。

【0017】SIZEを表す可変長符号は輝度(Y)ブロックと色差(Cb, Cr)ブロックでは異なり、輝度ブロックの時は表2を、色差ブロックの時は表3を参照して符号化が行われる。差分化された直流成分係数(DIFFERENTIAL DC)の値を表すSIZEに等しいビット幅の固定長符号(Code)は、表1に示すように係数値と1対1で対応している。

【0018】例えば、上述と同様に差分値が+5なる値であり、それが輝度ブロックのものである時、SIZEは、表1より3となり、その符号は表2より101となる。また、+5なる値を表す固定長符号は表1より、101となる。よって、差分値+5に対して、出力される符号は、これらを組み合わせた101101という6ビットの符号となる。

【0019】以上が、MPEG1での2次元DCTの直流成分係数の符号化アルゴリズムである。2次元DCTの直流成分係数の復号化は、上記の符号化アルゴリズムの逆の操作を追うことで、即ち図19(b)に示すようにして達成される。

【0020】

【発明が解決しようとする課題】ところで、MPEG1で使用される直流係数値の符号テーブルは、すべての係数値に対して用意されているとは限らないため、該当する符号が存在しない係数値が発生する場合は、問題が生ずることがある。

【0021】即ち、1次元DCT処理の場合、DCT処理後の値が、DCT処理前の値のほぼ $2\sqrt{2}$ 倍になることが知られており、従ってMPEG1での画像内符号化処理の場合、入力画像の画素値の範囲は8ビット(0乃至255)であるので、2次元DCT変換係数の直流係数の範囲は、そのほぼ8(= $2\sqrt{2} \times 2\sqrt{2}$)倍、つまり11ビット(0乃至2047)に及ぶ。

【0022】ところが、MPEG1においては、この11ビット精度の値を、MPEG1では必ず8なる値で線形量子化し、精度を8ビット(0乃至255)に落とし、その後、隣あったブロック間で差分化処理をする。

【0023】したがって、MPEG1で用意されている直流係数値用の符号テーブルの値は、表1に示したように、上述の差分化で得られた値の最大範囲である-25

5乃至+255の範囲でしか用意されていない。このように、DCTの直流係数の符号化精度として8ビット固定であることは、MPEG1を使用してより高画質の動画を伝送する場合には、当初に望んでいたより、画質を下げざるを得なくなってしまうことになり、問題となる。

【0024】また、例えば入力画像のビット精度が8ビット精度である場合、DCTの直流係数の符号化精度を単純に従来からある8ビットから、より高い精度（例えば11ビット）とした場合、符号化の効率で無駄が生ずる場合がある。

【0025】すなわち、階調が乏しく、要求される精度として8ビット精度で十分である画質である場合でも、符号化方式として、例えば11ビット精度のものが用意されている場合、冗長な符号を出力してしまうことになる。

【0026】本発明は、このような状況に鑑みてなされたものであり、DCTの直流係数の符号化精度の変更を、要求される画質に応じて適応的にを行い、例えばMPEG1などにおいて、高画質、高能率符号化を実現することができるようにするものである。

【0027】

【課題を解決するための手段】符号化装置側では、要求される画質に応じて、必要とされるDCTなどの直交変換の直流成分係数の精度（ビット数）をシーケンス、またはGOP、またはピクチャ単位で伝送し、その情報に従って、符号化器は適応的に直流成分係数の符号化方法を変更し、さらに直流成分係数用の可変長符号テーブルの拡張を行い、可変長符号を出力することを特徴とする。

【0028】また復号化装置側では、伝送されてくるDCTなどの直交変換の直流成分係数の精度（ビット数）をシーケンス、またはGOP、またはピクチャ単位で受けとり、それに従って、復号化器は、適応的に直流成分係数の復号化方法を変更し、さらに直流成分係数用の可変長符号テーブルの拡張をおこない、伝送されてくるDCTなどの直交変換の直流成分係数を復号することを特徴とする。

【0029】本発明の特徴は、これら3つの表を拡張し、さらに拡張の範囲を適応的に変化させるところにある。

【0030】さらに1の切替えに応じて直流成分係数の符号化及び復号化方法を変更するところにある。

【0031】

【作用】本発明の符号化方法および符号化装置によれば、要求される画質に応じて、必要とされるDCT等の直交変換の直流成分係数の精度（ビット数）に従い、適応的に符号化方法を変更し、さらに可変長符号のテーブルの拡張を行い、可変長符号を出力するので、無駄の無い符号化が可能となる。

【0032】また、本発明の復号化方法および復号化装置によれば、伝送されてくるDCT等の直交変換の直流成分係数の精度に応じて、適応的に復号化方法を変更し、さらに可変長符号のテーブルの拡張を行い、復号するので、無駄の無い復号化が可能となる。よって、従来のMPEG1では、直流成分係数の精度が8ビットでしか送れなかったところを、最大11ビット精度まで適応的に拡張することができる。

【0033】

【実施例】実施例では、MPEG1で用いられているDCTの直流成分係数の符号化及び復号化方法を基本に、その符号化精度を適応的に変更する場合に関して説明する。尚本発明はMPEG1だけでなく、他の動画像信号伝送方式にも適用できることは勿論である。即ち、以下の実施例においては、入力される動画像信号が、8ビット精度のものである場合について説明するが、その精度が、8ビット精度以外の場合についても、本発明の適用は可能である。

【0034】また、本発明の実施例を説明する前に、本発明を理解する上で必要な用語としてのシーケンス、GOP（グループオブピクチャ）、ピクチャ、スライス、MB（マクロブロック）、ブロックは、それぞれ良く知られている用語ではあるが、図1を用いて簡単に説明する。

【0035】ブロックは、輝度または色差毎の隣あった例えば8ライン×8画素から構成される。例えば、DCTはこの単位で実行される。

【0036】MB（マクロブロック）は、例えば画像のフォーマットが、いわゆる4:2:0コンポーネントデジタル信号である場合、上下左右に隣あった4つの輝度ブロックY0、Y1、Y2、Y3と、画像上では同じ位置にあたるCb、Crそれぞれの色差ブロックの全部で6つのブロックで構成される。伝送の順はY0、Y1、Y2、Y3、Cb、Crである。予測データに何を用いるか、予測誤差を送らなくても良いか否かなどは、この単位で判断される。

【0037】スライスは、画像の走査順に連なる1つまたは複数のMBで構成される。スライスの頭では、画像内における動きベクトル、DCT係数のDC成分の差分がリセットされ、最初のMBは画像内での位置を示すデータを持っており、エラーが起こった場合でも復帰できるように考えられている。そのためスライスの長さ、始まる位置は任意に、例えば伝送路のエラー状態によって変えられるようになされている。

【0038】ピクチャは、1つまたは複数のスライスから構成される1枚の画像で、フレームまたはフィールド構成をとる場合がある。そして、符号化される方式に当たって、Iピクチャ（画像内符号化画像）、Pピクチャ（前方予測符号化画像）、およびBピクチャ（両方向予測符号化画像）のうちのいずれかに分類される。

【0039】Iピクチャは、動き補償を行うことなく、画像そのものが符号化（イントラ符号化）される。Pピクチャは、基本的には、自身より時間的に前に位置する画像（IまたはPピクチャ）に基づいて、前方予測符号化される。Bピクチャは、基本的には、自身より時間的に前と、後ろに位置する2つの画像（IまたはPピクチャ）に基づいて両方向予測符号化される。

【0040】GOPは、少なくとも1枚のIピクチャと、0または少なくとも1枚の非Iピクチャ（Pピクチャ、Bピクチャ）とから構成される。

【0041】ビデオシーケンスは、画像サイズ、画像レート等が同じ1または複数のGOPから構成される。これらは図1に示す関係を有する。

【0042】次に、本発明を適用した符号化装置の実施例を図2を参照して説明する。

【0043】図2は、本発明にかかる符号化装置の一実施例を示し、端子60には、要求される画質に応じて、必要とされるDCTなどの直交変換の直流成分係数の精度（ビット数）を表す信号CTLが供給される。この場合、CTL信号は、シーケンス、GOP、ピクチャ、またはスライス単位で供給される。このCTL信号は、伝送路の伝送速度（伝送容量）又は記録媒体の記録密度等の単位時間あたりのデータ量で決まり、又はデコーダ側の品質によっても決めることができる。更に伝送する動画の画質によっても決めることができる。

【0044】本実施例においては、CTL信号により、例えば8乃至11ビットの4つのビット精度を指示することができるようになされている。

【0045】例えば指示された精度が、8ビットである場合は0乃至255のレベルが、9ビットである場合は0乃至511のレベルが、10ビットである場合は0乃至1023のレベルが、11ビットである場合は0乃至2047のレベルが表現可能となる。

【0046】なお、本実施例では、上述のように4通りの精度を選択可能としているが、主旨を逸脱しない限り、さらに精度の細分化が可能である。

【0047】前段のDCT61により係数化された 8×8 のDCT係数は、量子化回路62により、直流成分係数についてのみ、線形量子化される。量子化ステップ幅は、CTL信号により指定された係数の精度による。即ち、指示された精度が、8ビットである場合は8で、9ビットである場合は4で、10ビットである場合は2で、11ビットである場合は1で、DCT係数をそれぞ

れ除算する。従って、指示された精度が、11ビットの場合は、実質的に割り算しないこととなり、原DCT係数がそのまま出力されることとなる。

【0048】次に、差分化回路63により、量子化後の直流成分係数を隣あった各々のブロック間で差分化する。差分化は、前述したように輝度（Y）ブロックと2つの色差（Cb、Cr）ブロックとでは各々独立に行なわれる。

【0049】輝度ブロックでは、図20で示したようにジグザグの順序で上下左右に隣あった各々のブロックの直流成分係数を差分化し、それぞれのブロックに再格納する。色差ブロックでは、図20で示したように左右に隣あった各々のブロックの直流成分係数を差分化し、それぞれのブロックに再格納する。

【0050】ただし、これらの差分化時、画像間符号化処理されたブロックの後の最初の画像内符号化処理されたブロック、もしくはスライスの最初のブロックでは、差分化の際に初期値にリセットされるが、その値は指示された係数の精度に応じて異ならせてある。例えば指示された精度が、8ビットである場合は128なる初期値を、9ビットである場合は256なる初期値を、10ビットである場合は512なる初期値を、11ビットである場合は1024なる初期値をそれぞれ使用する。

【0051】これらの初期値は、ダイナミックレンジの中間値を指定してあるが、例えばシーンに応じて、明るい値又は暗い値を指定できるようにしておけば、最初のブロックでの画質が向上することは勿論である。

【0052】次に可変長符号化回路64は、CTL信号で指示された精度（ビット数）に基づいて、差分化された直流成分係数を表4、表5、表6に示すテーブルを参照し、図3に示すプログラム（アルゴリズム）にしたがって、前述のSIZEを表す可変長符号と、SIZEに等しいビット幅の係数値を表す固定長符号の組合せで出力するようになされている。

【0053】ここで、表4乃至表6は、前述の表1乃至表3にそれぞれ対応する。

【0054】SIZEを表す可変長符号は輝度（Y）ブロックと色差（Cb、Cr）ブロックでは異なり、輝度ブロックの時は表5を、色差ブロックの時は表6を参照して符号化される。

【0055】

【表4】

SIZE	Differential DC		Code	
0	0	0	0	1
1	-1	1	00,01	10,11
2	-3,-2	2,3	000,001,010,011	100,101,110,111
3	-7,-6,-5,-4	4,5,6,7	0000,0001,...0111	1000,1001,...1111
4	-15,-14,...-9,-8	8,9,...14,15	00000,00001,...01111	10000,10001,...11111
5	-31,-30,...-16,-17	16,17,...30,31	000000,000001,...011111	100000,100001,...111111
6	-63,-62,...-33,-32	32,33,...62,63	0000000,0000001,...0111111	1000000,1000001,...1111111
7	-127,-126,...-65,-64	64,65,...126,127	00000000,00000001,...01111111	10000000,10000001,...11111111
8	-255,-254,...-129,-128	128,129,...254,255	000000000,000000001,...011111111	100000000,100000001,...111111111
9	-511,-510,...-257,-256	256,257,...510,511	0000000000, 0111111111	1000000000, 1111111111
10	-1023,-1022,...-512	512, ...1022,1023	00000000000, 01111111111	10000000000, 11111111111
11	-2047,-2046,...-1024	1024, ...2046,2047	000000000000,011111111111	100000000000, ... 111111111111

【0056】

【表5】

VLC code	dct dc size luminance
100	0
00	1
01	2
101	3
110	4
1110	5
11110	6
111110	7
1111110	8
11111110	9
111111110	10
1111111110	11

【0057】

【表6】

VLC code	dct dc size chrominance
00	0
01	1
10	2
110	3
1110	4
11110	5
111110	6
1111110	7
11111110	8
111111110	9
1111111110	10
11111111110	11

【0058】図3は、本発明のアルゴリズムをC言語で記述した例を示している。一般に表4乃至表6のテーブルはROM等の記憶媒体に書き込まれており、図示しないCPUにより所定値を読み出す方式が取られる。

【0059】図3は、その値を読み出す条件をプログラムしたものであり、詳細な説明は割愛するが、当業者にはこのプログラムリストにて、本発明の特徴的アルゴリズムが容易に理解される。また、本実施例ではC言語によりプログラミングするも、他のプログラミング言語（COBOL、PASCAL）等で記述することも可能である。尚、図3はソースコードであり、実際に符号化

装置に組み込む場合は、コンパイラにより機械言語（オブジェクトコード）にあらかじめ変換して使用する。処理の高速化のためである。

【0060】なお、ここでは、符号化テーブル（表4乃至表6）として、その値が固定されたものを使用するようにしたが、入力画像信号の統計的な調査をもとに、符号化後の圧縮率が向上するように、符号化テーブルの値を変更するようにしても良い。

【0061】こうして可変長符号された直流係数部は、他の周波数成分の係数と共にビットストリームを形成し、光ディスク等の記録媒体に記録又は伝送路を介して伝送される。この際、前述のCTL信号を対応するシーケンス、GOP、ピクチャ、またはスライス毎に識別信号として付加することが可能である。本実施例では、上述したように、4通りの精度が選択（指示）されるので、2ビットの識別信号が用いられる（詳しくは後述する）。

【0062】また、これらの符号化信号に所定の誤り訂正符号処理をすることは勿論である。

【0063】次に、図4乃至図10を参照して、本発明を適用した動画像符号化装置の実施例について、さらに詳細に説明する。

【0064】まず、図4は、本発明を適用した動画像符号化装置の一実施例の全体構成を示すブロック図である。本発明は、ピクチャ構造がフレーム／フィールド構造の両方に適用できるが、以下、ピクチャ構造をフレーム構造とした場合を中心に説明する。

【0065】この符号化装置では、入力された画像を、上述の図1に示すようなMPEGでのデータ構造に基づいて符号化を行うようになされている。

【0066】即ち、まず符号化装置の基本的な動作を制御するための情報は、画像符号化制御情報入力部134から、あらかじめ与えられ、画像符号化制御情報記憶用メモリ130に記憶される。この情報とは、例えば画枠サイズや、符号化情報の出力ビットレート、ピクチャ構造信号（ピクチャがフレーム構造であるかフィールド構造であるかの識別信号）、ピクチャ符号化タイプ（符号

化すべき画像が、Iピクチャ、Pピクチャ、およびBピクチャのうちのいずれであるかの識別信号)などである。これらの情報は、制御情報信号S25として、メモリ130から読み出される。

【0067】制御情報信号S25は、動き予測器112、参照画像コントロール器123、動き補償器122、フィールドメモリ群コントロール器124、VLC器126、バッファメモリ127、MBカウンタ128、およびピクチャカウンタ129に供給され、これらのブロックは、制御情報信号S25から得られる情報に基づいて動作する。

【0068】一方、入力端子131には入力画像同期信号である垂直同期信号S19が入力され、参照画像コントロール器123に供給される。参照画像コントロール器123は、同期信号S19に同期して、参照画像指示信号S11をフィールドメモリ群111へ供給する。

【0069】また、符号化されるべき、ブロック化された動画像は、画像入力端子110より入力され、フィールドメモリ群111へ順次供給されて記憶される。記憶された画像は、参照画像コントロール器123から出力される画像指示信号S11によって指定(アドレス)されることにより順次読み出され、ブロック単位で減算器113に供給される(但し、装置の処理単位は、MB単位とされている。即ち、装置では、MBを構成するY0乃至Y3、Cr、およびCb(図1)の6つのブロックそれぞれに対し、同一の処理が施される)。

【0070】さらに、フィールドメモリ群111に記憶された画像は、動き予測器112へ読み出される。

【0071】動き予測器112は、フィールドメモリ群111から読み出した前方原画像(現在符号化の対象となっている画像より時間的に前に位置する画像)及び/又は後方原画像(現在符号化の対象となっている画像より時間的に後に位置する画像)を用いて、同じくフィールドメモリ群111から読み出した現在の参照画像(現在符号化の対象となっている画像)との間の動きベクトルの検出を行う。ここで、動きベクトルの検出は、例えばブロック単位でのフィールド間差分の絶対値和が最小になるものを、その動きベクトルS12とする。

【0072】ここで、動き予測器112は、制御情報信号S25に基づいて、各フィールドの画像データを、Iピクチャ、Pピクチャ、またはBピクチャとして処理する。なお、各フィールドの画像を、I、P、Bのいずれのピクチャとして処理するかは、あらかじめ定められている(例えば、GOP単位であらかじめ定められている)。

【0073】即ち、動き予測器112は、まず次のようにして、画像内予測、前方予測、後方予測、または両方向予測のいずれの予測を行なうかを決定するための予測誤差の絶対値和を生成する。

【0074】例えば、画像内予測の予測誤差の絶対値和

として、参照画像のマクロブロックの信号 A_{ij} の和 $\sum A_{ij}$ の絶対値 $|\sum A_{ij}|$ と、マクロブロックの信号 A_{ij} の絶対値 $|A_{ij}|$ の和 $\sum |A_{ij}|$ の差を求める。また、前方予測の予測誤差の絶対値和として、参照画像のマクロブロックの信号 A_{ij} と、前方原画像のマクロブロックの信号 B_{ij} の差 $A_{ij}-B_{ij}$ の絶対値 $|A_{ij}-B_{ij}|$ の和 $\sum |A_{ij}-B_{ij}|$ を求める。また、後方予測と両方向予測の予測誤差の絶対値和も、前方予測における場合と同様に(但し、前方原画像を、後方原画像、前方原画像と後方原画像の、例えば平均値にそれぞれ変更して)求める。

【0075】さらに、動き予測器112は、前方予測、後方予測および両方向予測の予測誤差の絶対値和のうち、最も小さいものを、インター予測の予測誤差の絶対値和として選択する。さらに、このインター予測の予測誤差の絶対値和と、画像内予測の予測誤差の絶対値和とを比較し、その小さい方を選択し、この選択した絶対値和に対応するモードを動き補償モードとして選択する。即ち、画像内予測の予測誤差の絶対値和の方が小さければ、画像内予測モードが設定される。インター予測の予測誤差の絶対値和の方が小さければ、前方予測、後方予測または両方向予測モードのうち、対応する絶対値和が最も小さかったモードが設定される。

【0076】そして、動き予測器112は、参照画像のマクロブロックの信号を、4つの動き補償モード(画像内予測、前方予測、後方予測、および両方向予測)の中から選択した動き補償モードに対応する予測画像と参照画像の間の動きベクトルを検出する。この動きベクトルS12と動き補償モードS32は、動き補償器122に出力される。

【0077】動き補償モードS32が、フィールド内(画像内)符号化(予測)モードの場合、フィールドメモリ群111からの現在符号化対象のブロック画素信号S1は、そのまま演算器113を介して、信号S2としてデイスクリートコサイン変換(DCT(discrete cosine transform))回路114に供給される。

【0078】また、前方/後方/両方向予測モードの場合、フィールドメモリ群111からのブロック画素信号S1は、減算器113において、後述する動き補償器122から供給される前方/後方/両方向予測画像S10との差分がとられ、差分データS2としてDCT回路114に出力される。

【0079】差分信号S2は、DCT器114に供給され、そこで、DCT処理が施されることにより、DCT係数S3に変換される。DCT係数S3は、量子化回路115において、バッファメモリ127から後述するように指定される量子化ステップS18により量子化され、量子化されたDCT係数S4が得られる。この量子化されたDCT係数(量子化係数)S4は、スキャンコンバータ(走査変換器)116にて低周波数から高周波数の係数の順にジグザグスキャンされ、1次元の信号S

5とされる。

【0080】信号S5は、後述するDC係数差分器125を経て、VLC器126に供給される。そして、動き補償器122から出力される動きベクトルS13および動き補償モードS14（動き予測器112から出力された動きベクトルS12、動き補償モードS32とそれぞれ同一のもの）、並びにバッファメモリ127から出力される量子化ステップS18などと共にVLC器（可変長符号化器）126にてハフマン符号などに可変長符号化され、バッファメモリ127に一時蓄積された後、出力端子132からビットストリームとして一定の伝送レートで送出される。

【0081】なお、バッファメモリ127は、伝送データを一旦蓄積した後、所定のタイミングでビットストリームとして出力すると共に、蓄積しているデータ量に応じて量子化ステップS18を量子化回路115にフィードバックして、発生するデータ量を制御するようになされている。これによりバッファメモリ127は、適正な残量（オーバーフロー又はアンダーフローを生じさせないようなデータ量）のデータを蓄積することができるようになされている。

【0082】即ち、バッファメモリ127のデータ残量が許容上限にまで増量すると、バッファメモリ127は、量子化ステップS18を粗くすることによって（DCT係数S3を除算する値を大きくすることによって）、量子化回路115から発生する量子化係数S4のデータ量を低下させる。

【0083】また、これとは逆に、バッファメモリ127のデータ残量が許容下限値まで減量すると、バッファメモリ127は量子化ステップS18を細かくすることによって（DCT係数S3を除算する値を小さくすることによって）、量子化回路115から発生する量子化係数S4のデータ量を増大させる。

【0084】バッファメモリ127から出力されたビットストリームは、次のようにして、符号化されたオーディオ信号、同期信号等と多重化され、更にエラー訂正用のコードが付加され、所定の変調が加えられた後、レーザ光を介して光ディスク等の記録媒体に記録される。

【0085】即ち、図11に示すように、例えばガラスなどよりなる原盤が用意され、その上に、例えばフォトレジストなどよりなる記録材料が塗布される。これにより、記録用原盤が製作される。

【0086】そして、図12に示すように、符号化装置（ビデオエンコーダ）で上述したように符号化された画像のデータ（ビデオデータ）が、一時バッファに記憶されるとともに、オーディオエンコーダで符号化されたオーディオデータが、一時バッファに記憶される。バッファに記憶されたビデオデータとオーディオデータは、多重化器（MPX）で同期信号と共に多重化され、誤り訂正符号回路（ECC）でエラー訂正用のコードが付加さ

れる。そして、変調回路（MOD）で所定の変調がかけられ、所定のフォーマットにしたがって、例えば磁気テープなどに一旦記録され、ソフトが製作される。

【0087】このソフトを必要に応じて編集（プリマスタリング）し、光ディスクに記録すべきフォーマットの信号を生成する。そして、図11に示すように、この記録信号に対応して、レーザビームを変調し、このレーザビームを原盤上のフォトレジスト上に照射する。これにより、原盤上のフォトレジストが記録信号に対応して露光される。

【0088】その後、この原盤を現像し、原盤上にピットを出現させる。このようにして用意された原盤に、例えば電鍍等の処理を施し、ガラス原盤上のピットを転写した金属原盤を製作する。この金属原盤から、さらに金属スタンプを製作し、これを成形用金型とする。

【0089】この成形用金型に、例えばインジェクションなどによりPMMA（アクリル）またはPC（ポリカーボネート）などの材料を注入し、固定化させる。あるいは、金属スタンプ上に2P（紫外線硬化樹脂）などを塗布した後、紫外線を照射して硬化させる。これにより、金属スタンプ上のピットを、樹脂よりなるレプリカ上に転写することができる。

【0090】このようにして生成されたレプリカ上に、反射膜が蒸着あるいはスパッタリングなどにより形成される。あるいはまた、スピンコートにより形成される。

【0091】その後、このディスクに対して内外径の加工が施され、2枚のディスクを張り合わせるなどの必要な処置が施される。さらに、ラベルを貼り付けたり、ハブが取り付けられて、カートリッジに挿入される。このようにして光ディスクが完成する。

【0092】図4に戻り、スキャンコンバータ116の出力S5は、DC係数差分器125だけでなく、スキャンコンバータ116と相補的な関係にある逆スキャンコンバータ117にも入力される。そして、逆スキャンコンバータ117において、低周波数から高周波数の係数の順に逆ジグザグスキャンされ、これにより信号S6に変換される。信号S6は、量子化回路115と相補的な関係にある逆量子化回路118にて、量子化ステップ（逆量子化ステップ）S18に基づいて逆量子化され、DCT係数S7が出力される。DCT係数S7は、DCT回路114と相補的な関係にある逆DCT回路119により逆DCT処理が施され、差分信号S8とされて出力される。

【0093】加算器120では、逆DCT回路119からの差分信号S8に、動き補償モードに基づいて動き補償器122から出力される予測画像S10が、1画素単位で加算され、元の画像データと同様の画像データに復号される。この局所復号された復号画像データS9は、前方／後方／両方向予測に用いる画像として、フィールドメモリ群コントロール器124から出力される、後述

する画像指示信号S16が指定するフィールドメモリ群121のアドレスに書き込まれる。

【0094】そして、フィールドメモリ群121に記憶された画像は、後方予測に用いる画像、または前方予測に用いる画像として、フィールドメモリ群コントロール部124からの、後述する動き補償参照画像指示信号S15により指定される。

【0095】また、このフィールドメモリ群121に記憶された画像、即ち局所復号された画像は、フィールドメモリ群コントロール部124から、後述する出力画像指示信号S17が出力されるタイミングで、出力端子133に出力され、確認用（モニタ用）に用いられる。

【0096】一方、動き補償器122は、フィールドメモリ群121に記憶された、動き補償参照画像指示信号S15により指定される画像（局所復号された画像）に対して、動き予測器112からの動き補償モードS32および動きベクトルS12をもとに動き補償を施し、予測画像S10を生成して減算器113および加算器120に出力する。すなわち、動き補償器122は、前方／後方／両方向予測モードのときのみ、フィールドメモリ群121の読み出しアドレスを、フィールドメモリ群111が減算器113にいま出力しているブロックの位置に対応する位置から動きベクトルに対応する分だけずらして、前方予測または後方予測に用いる画像のデータを読み出し、予測画像データS10として出力する。

【0097】なお、両方向予測モードのときは、前方予測と後方予測に用いる画像の両方が読み出され、例えばその平均値が、予測画像データS10として出力される。また、この時予測画像データを生成するために読み出される、既に局所復号された2つの画像は、上述したようにフィールドメモリ群コントロール部124から出力される動き補償参照画像指示信号S15によって、フィールドメモリ群121に記憶された画像の中から指定される。

【0098】さらに、参照画像指示信号S15、S16、出力画像指示信号S17は、後述するピクチャカウンタ129によって、フィールドメモリ群111から読み出される画像（ピクチャ）の先頭のタイミングで立てられるピクチャスタートフラグS22に同期して、フィールドメモリ群コントロール部124より出力されるようになっている。

【0099】予測画像データS10は、減算器113に供給され、減算器113では、S1-S10なる演算が行われ、上述したように差分データS2が生成される。

【0100】さらに、予測画像データS10は、加算器120にも供給される。前方／後方／両方向予測の場合、加算器120には、予測画像データS10の他、予測画像によって差分化された差分データS8が逆DCT回路119から送られてくるので、加算器120は、この差分データS8を、動き補償器122からの予測画像

S10に対して足し込むことで、局所復号を行う。この局所復号画像S9は、復号化装置で復号される画像と全く同一の画像であり、上述したように、次の処理画像に対して、前方／後方／両方向予測を行うときに用いる画像としてフィールドメモリ群121に記憶される。

【0101】また、画像内予測モードの場合、加算器120には、画像データそのものが逆DCT回路120の出力S8として送られてくるので、加算器120は、この画像データS8をそのままフィールドメモリ群121に出力して記憶させる。

【0102】なお、スキャンコンバータ116から逆スキャンコンバータ117へは、IおよびPピクチャのデータだけ出力され、Bピクチャのデータは出力されない。従って、フィールドメモリ群121には、IおよびPピクチャのデータだけ記憶され、Bピクチャのデータは記憶されない。これは、Bピクチャのデータが、前方／後方／両方向予測に用いられないからである。

【0103】次に、この画像符号化装置においては、図1に示すMPEGにおけるデータ構造のうちの、ビデオシーケンス、GOP、ピクチャ、スライスの層は、それぞれの層の先頭にそれらが始まることを示すスタートコードが付加され、その後ヘッダ情報が出力（伝送）されるようになっている。

【0104】ビデオシーケンス、GOP、ピクチャ、スライスの層のスタートコードを伝送するタイミングは、それぞれビデオシーケンススタートフラグS20、GOPスタートフラグS21、ピクチャスタートフラグS22、スライススタートフラグS23が立てられたタイミングである。ビデオシーケンススタートフラグS20、GOPスタートフラグS21、ピクチャスタートフラグS22は、ピクチャカウンタ129から出力され、スライススタートフラグS23はMB（マクロブロック）カウンタ128から出力される。

【0105】ピクチャカウンタ129は、現在符号化対象であり、フィールドメモリ群111によって、そこから読み出される画像（ピクチャ）の先頭を検出して出力される信号S30に同期して、ピクチャスタートフラグS22を立てるとともに、その数をカウントする。さらに、ピクチャカウンタ129は、符号化すべきビデオシーケンスの符号化が開始されると、リセットされ（そのカウント値を0にし）、同時にビデオシーケンススタートフラグS20を立てる。また、ピクチャカウンタ129は、そのカウント値（フィールドメモリ111から読み出されたピクチャ数）があらかじめ設定されたGOP長（GOPを作るピクチャの数）の倍数になると、GOPスタートフラグS21を立てる。

【0106】なお、GOP長は、例えば12フレームや15フレームとするのが一般的であり、このGOP長は、現在の画像符号化のための制御情報が記憶されているメモリ130から、制御情報信号S25として供給さ

れる。

【0107】MB（マクロブロック）カウンタ128は、上述の信号S30を受信すると、リセットされ、現在符号化対象であり、フィールドメモリ群111によって、そこから読み出されるブロックS1を含んで構成されるMBの先頭を検出して出力されるMBスタートフラグS31に同期して、その数をカウントし、このカウント値をMBアドレス（MB address）S27として出力する。

【0108】さらに、MBカウンタ128は、そのカウント値があらかじめ設定されたスライス長（スライスを作るMBの数）の倍数になると、通常リセット状態になっているスライススタートフラグS23を立てる。

【0109】なお、スライス長は、バッファ127から出力されるビットストリームを伝送する伝送路のエラー状態（伝送路の信頼性）によって変えることができるようになされている。一般的には、伝送路における伝送エラーの確率が高いほど、スライス長は短く設定される。このスライス長は、メモリ130に記憶されており、制御情報信号S25として供給される。

【0110】シーケンススタートフラグS20、GOPスタートフラグS21、ピクチャスタートフラグS22、またはスライススタートフラグS23が立つと、それを受けてVLC器126は、それぞれの層のスタートコードを出力する。さらに、それに続いて、メモリ130に記憶されているそれぞれの層のデータを符号化するための制御情報をヘッダ情報として読み出して出力する。

【0111】次に、上述した、要求される画質に応じてDCT係数のうちの直流係数（DC係数）の符号化精度（ビット数）を、シーケンス単位、GOP単位、ピクチャ単位、またはスライス単位で切り換えることについて詳述する。

【0112】DC係数の符号化精度の指定、もしくは変更は、メモリ130に記憶されている、制御情報S25のうちの、S26（図2で説明したCTL信号に相当する）で示す“intra_dc_precision”コードに基づいて行われるようになされており、このコードS26は、DC係数の符号化精度（ビット数）を、シーケンス単位、GOP単位、ピクチャ単位、またはスライス単位で切り換える場合、シーケンスヘッダ、GOPヘッダ、ピクチャヘッダ、またはスライスヘッダに、それぞれ記述されて伝送される。“intra_dc_precision”コードS26は、例えば、2ビットのコードであり、4種類の符号化精度（ビット精度）を表すことができるようになされている。以下、“intra_dc_precision”コードS26が、例えば「00」、「01」、「10」または「11」である場合、DC係数のビット精度を、それぞれ8、9、10または11ビットとして符号化を行うものとして説明する。

【0113】ここで、図5および図6は、シーケンス、GOP、ピクチャ、およびスライスのうちのピクチャのヘッダの記述例を示している。なお、図6は、図5に続く部分を示している。

【0114】DC係数のビット精度をピクチャ単位で切り換える場合、“intra_dc_precision”コードは、ピクチャヘッダの、図中Lで示す部分（図5に続く図6においてLで示す部分）に記述される。なお、“intra_dc_precision”コードのすぐ下に記述されている“qscale_type”は、1ビットのコードで、量子化回路115（逆量子化回路118）で線形量子化（逆量子化）処理を行うか（例えばqscale_type=0のとき）、または非線形量子化（逆量子化）処理を行うか（例えばqscale_type=1のとき）を示す。

【0115】“intra_dc_precision”コードS26は、量子化回路115、逆量子化回路118、DC係数差分化器125、およびVLC器126へ供給される。以下に、それぞれの詳細について説明する。

【0116】まず、量子化回路115は、例えば図7に示すように構成され、そこには、DCT係数S3、動き補償モードS14、量子化ステップS18、および“intra_dc_precision”コードS26が供給されている。

【0117】動き補償モードS14は、端子312を介し、イントラフラグ発生器311に入力される。イントラフラグ発生器311は、動き補償モードS14が「イントラ符号化（画像内予測）モード」である場合のみ、イントラフラグS309を立てる（通常0となっているイントラフラグS309を1とする）。

【0118】一方、8×8のブロックのDCT係数S3、即ち64個のDCT係数S3は、端子300を介し、スイッチSW300に供給される。スイッチSW300は、イントラフラグS309が0の場合、端子A側を選択し、またイントラフラグS309が1の場合、端子B側を選択するようになされている。

【0119】従って、動き補償モードS14が「イントラ符号化（画像内予測）モード」でない場合（S309=0の場合）においては、DCT係数S3は、スイッチSW300および端子Aを介し、信号S302として量子化器304に供給される。量子化器304には、量子化ステップS18が入力されており、そこで、その量子化ステップS18にしたがって、DCT係数S302が量子化される。量子化されたDCT係数は、量子化係数S305としてブロック化回路S309に出力される。

【0120】量子化係数S305は、ブロック化回路S309で8×8のブロックにブロック化され、ブロック量子化係数S4として、端子310を介してスキャンコンバータ116（図4）に出力される。なお、MPEGの場合、量子化器304では、量子化の際、小数点以下は、通常切り捨てられる。

【0121】一方、動き補償モードS14が「イントラ

符号化（画像内予測）モード」である場合（S309＝1の場合）においては、DCT係数S3は、スイッチSW300および端子Bを介し、DC/AC係数分離器306に供給される。分離器306においては、DCT係数S3が、AC係数S303とDC係数S304とに分離され、AC係数S303は量子化器305に、DC係数S304はDC係数量子化器307に、それぞれ出力される。

【0122】量子化器305では、量子化器304における場合と同様にして、量子化ステップS18にしたがって、AC係数S303が量子化され、量子化係数S306としてブロック化回路S309に出力される。なお、MPEGの場合、量子化器305では、通常、線形量子化が行われる。

【0123】DC係数S304は、DC係数量子化回路307において、量子化ステップ発生器308によって発生された量子化ステップS308にしたがって線形量子化（但し、小数点以下は、四捨五入）され、量子化係数S307としてブロック化回路309に出力される。

【0124】ここで、量子化ステップ発生器308は、指示されたDC係数の符号化精度（ビット精度）に対応して、即ち“intra_dc_precision”コードS26に対応して、量子化ステップS308を発生する。

【0125】つまり、量子化ステップ発生器308は、“intra_dc_precision”コードS26が「00」である場合（DC係数のビット精度が8ビット精度と指定されている場合）、量子化ステップS308を8に設定して出力し、また“intra_dc_precision”コードS26が「01」である場合（DC係数のビット精度が9ビット精度と指定されている場合）、量子化ステップS308を4に設定して出力する。さらに、“intra_dc_precision”コードS26が「10」である場合（DC係数のビット精度が10ビット精度と指定されている場合）、量子化ステップS308を2に設定して出力し、また“intra_dc_precision”コードS26が「11」である場合（DC係数のビット精度が11ビット精度と指定されている場合）、量子化ステップS308を1に設定して出力する。

【0126】従って、動き補償モードS14が「イントラ符号化（画像内予測）モード」である場合、DC係数量子化器307において、DC係数は、指示されたビット精度に量子化されることになる。

【0127】量子化器305で量子化されたAC係数S306と、量子化器307で量子化されたDC係数S307は、ブロック化回路309において8×8のブロックにブロック化され、ブロック量子化係数S4として、端子310を介してスキャンコンバータ116（図4）に出力される。

【0128】以上のようにして、量子化回路115では、要求される画質に応じた量子化処理が行われる。

【0129】次に、逆量子化回路118は、例えば図8に示すように構成され、そこには、量子化されたDCT係数S6、動き補償モードS14、量子化ステップ（逆量子化ステップ）S18、および“intra_dc_precision”コードS26が供給されている。

【0130】動き補償モードS14は、端子507を介し、イントラフラグ発生器508に入力される。イントラフラグ発生器508は、動き補償モードS14が「イントラ符号化（画像内予測）モード」である場合のみ、イントラフラグS501を立てる（通常0となっているイントラフラグS501を1とする）。

【0131】一方、8×8のブロックの量子化されたDCT係数S6、即ち64個の量子化されたDCT係数S6は、端子500を介し、スイッチSW501に供給される。スイッチSW501は、イントラフラグS501が0の場合、端子A側を選択し、またイントラフラグS501が1の場合、端子B側を選択するようになっている。

【0132】従って、動き補償モードS14が「イントラ符号化（画像内予測）モード」でない場合（S501＝0の場合）においては、量子化されたDCT係数S6は、スイッチSW501および端子Aを介し、信号S502として逆量子化器502に供給される。逆量子化器502には、量子化ステップ（逆量子化ステップ）S18が入力されており、そこで、その逆量子化ステップS18にしたがって、量子化されたDCT係数S502が逆量子化され、DCT係数S505としてブロック化回路505に出力される。

【0133】DCT係数S505は、ブロック化回路505で8×8のブロックにブロック化され、ブロックDCT係数S7として逆DCT回路119（図4）に出力される。なお、MPEGの場合、逆量子化器502では、通常、線形逆量子化が行われ、その結果得られた値に、逆量子化ステップS18の1/2の値がオフセットとして加算される。

【0134】一方、動き補償モードS14が「イントラ符号化（画像内予測）モード」である場合（S501＝1の場合）においては、量子化されたDCT係数S6は、スイッチSW501および端子Bを介し、DC/AC係数分離器506に供給される。分離器506においては、量子化されたDCT係数S6が、AC係数S503とDC係数S504とに分離され、AC係数S503は逆量子化器503に、DC係数S504はDC係数逆量子化器504に、それぞれ出力される。

【0135】逆量子化器503では、逆量子化器502における場合と同様にして、逆量子化ステップS18にしたがって、量子化されたAC係数S503が逆量子化され、AC係数S506がブロック化回路S501に出力される。なお、MPEGの場合、逆量子化器503では、通常、線形逆量子化が行われる。

【0136】量子化されたDC係数S504は、DC係数逆量子化回路504において、逆量子化ステップ発生器509によって発生された逆量子化ステップS508にしたがって線形逆量子化され、DC係数S507としてブロック化回路505に出力される。

【0137】ここで、逆量子化ステップ発生器509は、図7に示す量子化ステップ発生器308と同様に、“intra_dc_precision”コードS26に対応して、逆量子化ステップS508を発生する。

【0138】即ち、逆量子化ステップ発生器509は、“intra_dc_precision”コードS26が「00」である場合（DC係数のビット精度が8ビット精度と指定されている場合）、逆量子化ステップS508を8に設定して出力し、また“intra_dc_precision”コードS26が「01」である場合（DC係数のビット精度が9ビット精度と指定されている場合）、逆量子化ステップS508を4に設定して出力する。さらに、“intra_dc_precision”コードS26が「10」である場合（DC係数のビット精度が10ビット精度と指定されている場合）、逆量子化ステップS508を2に設定して出力し、また“intra_dc_precision”コードS26が「11」である場合（DC係数のビット精度が11ビット精度と指定されている場合）、逆量子化ステップS508を1に設定して出力する。

【0139】従って、動き補償モードS14が「イントラ符号化（画像内予測）モード」である場合、DC係数逆量子化器504において、量子化されたDC係数は、指示されたビット精度に基づいて、逆量子化されることになる。

【0140】逆量子化器503からのAC係数S506と、逆量子化器504からのDC係数S507は、ブロック化回路505において8×8のブロックにブロック化され、ブロックDCT係数S7として、端子510を介して逆DCT回路119（図4）に出力される。

【0141】次に、DC係数差分器125は、例えば図9に示すように構成され、そこには、量子化回路115で量子化され、スキャンコンバータ116でジグザグスキャンされたDCT係数（量子化係数）S5、スライスタートフラグS23、MBスタートフラグS31、“intra_dc_precision”コードS26、動き補償モードS14、およびMBアドレスS27が供給されている。

【0142】量子化係数S5は、端子200を介してブロックカウンタ201およびスイッチSW400に入力される。ブロックカウンタ201は、入力される量子化係数S5によって構成されるブロックの数をカウントし、そのカウント値S201を出力する。なお、ブロックカウンタ201には、MBスタートフラグS31が供給されており、MBスタートフラグS31が立つとリセットされる。

【0143】MBを構成するブロックY0乃至Y3、Cb、およびCrは、Y0、Y1、Y2、Y3、Cb、Crの順で入力されるので、Y0、Y1、Y2、Y3、Cb、またはCrブロックが入力されたとき、カウント値S201は、それぞれ1、2、3、4、5、または6となる。

【0144】ブロック数のカウント値S201は、Y/Cb/Crフラグ発生器202に入力される。フラグ発生器202は、カウント値S201が4以下の場合、即ち輝度（Y）ブロックが入力されている場合、YフラグS202を立て、カウント値S201が5に等しい場合、即ちCbブロックが入力されている場合、CbフラグS203を立てる。また、カウント値S201が6に等しい場合、即ちCrブロックが入力されている場合、CrフラグS204を立てる。

【0145】一方、動き補償モードS14は、端子421を介し、イントラフラグ発生器409に入力される。イントラフラグ発生器409は、動き補償モードS14が「イントラ符号化（画像内予測）モード」である場合のみ、イントラフラグS406を立てる（通常0となっているイントラフラグS406を1とする）。

【0146】イントラフラグS406は、スイッチSW400およびSW410に供給されており、スイッチSW400は、イントラフラグS406が0の場合、端子A側を選択し、またイントラフラグS406が1の場合、端子B側を選択するようになされている。

【0147】従って、動き補償モードS14が「イントラ符号化（画像内予測）モード」でない場合（S406=0の場合）においては、量子化係数S5は、スイッチSW400および端子Aを介し、信号S401としてブロック化回路402に出力される。ブロック化回路402では、量子化係数S401が8×8のブロックにブロック化され、ブロック信号S16として、端子420を介してVLC器126（図4）に出力される。

【0148】一方、動き補償モードS14が「イントラ符号化（画像内予測）モード」である場合（S406=1の場合）においては、量子化係数S5は、スイッチSW400および端子Bを介し、DC/AC係数分離器401に供給される。分離器401においては、量子化されたDCT係数S5が、量子化されたAC係数S402と、量子化されたDC係数S403とに分離され、AC係数S402はブロック化回路402に、DC係数S403はスイッチSW403および減算器413に、それぞれ出力される。

【0149】DC係数S403は、スイッチSW403、SW404、レジスタ群405、および減算器413において、図20を参照して説明したように、隣あったブロックまたはMB間のものどうしで差分化される。この差分化は、輝度（Y）ブロック、2つの色差（Cb、Cr）ブロックで、それぞれ独立に行われる。

【0150】即ち、フラグ発生器202から出力された

YフラグS202、CbフラグS203、およびCrフラグのうち、YフラグS202が立っている場合、DC係数S403は、Y0乃至Y3ブロックのうちのいずれかの輝度(Y)ブロックのDC係数であり、この場合、スイッチSW403またはSW404は、端子CまたはC'をそれぞれ選択する。これにより、輝度(Y)ブロックのDC係数S403は、スイッチSW403および端子Cを介して、レジスタ群405を構成するYレジスタに供給されてラッチ(上書き)される。レジスタ群405のYレジスタは、輝度(Y)ブロックのDC係数S403を、1ブロックに対応する分だけ遅延し、この遅延信号S404を、端子C'およびスイッチSW404を介して減算器413に出力する。

【0151】減算器413には、遅延信号S404の他、分離器401から輝度(Y)ブロックのDC係数S403が供給されており、そこで式($S403 - S404$)にしたがった差分演算が行われ、これにより、隣あった輝度ブロックどうしのDC係数の差分S405が生成される。この差分S405は、ブロック化回路402に出力され、そこで、分離回路401からのAC係数S402と 8×8 のブロックにブロック化されて、ブロック信号S16として、端子420を介してVLC器126(図4)に出力される。

【0152】また、フラグ発生器202より出力されたCbフラグS203が立っている場合、DC係数S403は、CbブロックのDC係数であり、この場合、スイッチSW403またはSW404は、端子DまたはD'をそれぞれ選択する。これにより、CbブロックのDC係数S403は、スイッチSW403および端子Dを介して、レジスタ群405を構成するCbレジスタに供給されてラッチ(上書き)される。レジスタ群405のCbレジスタは、CbブロックのDC係数S403を、1MB(マクロブロック)に対応する分だけ遅延し、この遅延信号S404を、端子D'およびスイッチSW404を介して減算器413に出力する。

【0153】減算器413には、遅延信号S404の他、分離器401からCbブロックのDC係数S403が供給されており、そこで式($S403 - S404$)にしたがった差分演算が行われ、これにより、隣あったMBにおけるCbブロックどうしのDC係数の差分S405が生成される。この差分S405は、ブロック化回路402に出力され、そこで、分離回路401からのAC係数S402と 8×8 のブロックにブロック化されて、ブロック信号S16として、端子420を介してVLC器126(図4)に出力される。

【0154】さらに、フラグ発生器202より出力されたCrフラグS204が立っている場合、DC係数S403は、CrブロックのDC係数であり、この場合、スイッチSW403またはSW404は、端子EまたはE'をそれぞれ選択する。これにより、CrブロックのD

C係数S403は、スイッチSW403および端子Eを介して、レジスタ群405を構成するCrレジスタに供給されてラッチ(上書き)される。レジスタ群405のCrレジスタは、CrブロックのDC係数S403を、1MB(マクロブロック)に対応する分だけ遅延し、以下、上述のCbブロックにおける場合と同様の処理が行われる。

【0155】なお、レジスタ群405は、イントラ符号化処理されたMBのMBアドレスS27が不連続である場合か、または入力されたDC係数のブロックがスライスの最初のMBを構成するブロックである場合、レジスタ群405のY、Cb、Crレジスタは、レジスタ初期値発生器406が発生する初期値S413によってリセットされるようになされている。

【0156】即ち、スイッチSW410は、イントラフラグS406が0の場合、OFF状態になり、またイントラフラグS406が1の場合、ON状態になるようになされている。さらに、スイッチSW410には、MBカウンタ128(図4)から端子423を介してMBアドレスS27が供給されるようになされている。

【0157】従って、動き補償モードS14が「イントラ符号化(画像内予測)モード」である場合($S406 = 1$ の場合)においては、MBアドレスS27が、SW410を介してレジスタ411に供給されてラッチ(上書き)される。レジスタ411は、MBアドレスS27を、1MBに対応する時間だけ遅延し、この遅延信号S407を減算器412に供給する。

【0158】減算器412には、遅延信号S407の他、端子423を介してMBアドレスS27が供給されており、そこで式($S27 - S407$)にしたがった差分演算が行われ、これにより、隣あったMBのアドレスどうしの差分S408が生成される。この差分S408は、ORゲート408の一端に供給される。

【0159】ORゲート408の他端には、MBカウンタ128(図4)からのスライススタートフラグS23が供給されており、ORゲート408は、通常0および1のうちの、例えば0を出力しているが、差分S408が1より大きい場合($S408 > 1$)か、またはスライススタートフラグS23が立っている場合、0および1のうちの、例えば1を出力する。

【0160】スイッチSW407は、ORゲート408の出力が0のときOFF状態に、ORゲート408の出力が1のときON状態になるようになされており、またレジスタ初期値発生器406で発生された初期値S413は、スイッチSW407を介してレジスタ群405に供給されるようになされている。

【0161】従って、イントラ符号化処理されたMBのMBアドレスS27が不連続である場合、または入力されたDC係数のブロックがスライスの最初のMBを構成するブロックである場合、レジスタ初期値発生器406

で発生された初期値S413は、スイッチSW407を介してレジスタ群405に供給される。

【0162】レジスタ初期値発生器406では、DC係数の符号化精度を表す“intra_dc_precision”コードS26に対応して、レジスタ群405を構成するY、Cb、Crレジスタの初期値S413が発生される。

【0163】即ち、レジスタ初期値発生器406は、例えば“intra_dc_precision”コードS26が「00」である場合（DC係数のビット精度が8ビット精度と指定されている場合）、初期値S413を128に設定して出力し、また“intra_dc_precision”コードS26が「01」である場合（DC係数のビット精度が9ビット精度と指定されている場合）、初期値S413を256に設定して出力する。さらに、“intra_dc_precision”コードS26が「10」である場合（DC係数のビット精度が10ビット精度と指定されている場合）、初期値S413を512に設定して出力し、また“intra_dc_precision”コードS26が「11」である場合（DC係数のビット精度が11ビット精度と指定されている場合）、初期値S413を1024に設定して出力する。

【0164】以上のようにして、DC係数差分器125では、要求される画質に応じて、シーケンス単位、GOP単位、ピクチャ単位、またはスライス単位で切り換えられるDC係数の符号化精度（ビット数）に対応して、DC係数の差分処理が行われる。

【0165】次に、VLC器126（図4）は、例えば図10に示すように構成され、そこには、シーケンススタートフラグS20、GOPスタートフラグS21、ピクチャスタートフラグS22、スライススタートフラグS23、制御情報信号S25、およびMBアドレスS27の他、DC係数差分器125からのDCT係数（量子化され、DC係数が差分化されたDCT係数）S16、動き補償モードS14、および“intra_dc_precision”コードS26が供給されている。

【0166】DCT係数S16は、端子700を介してブロックカウンタ701およびスイッチSW700に入力される。ブロックカウンタ701は、図9のブロックカウンタ201と同様に構成され、入力されるDCT係数S16によって構成されるブロックの数をカウントし、そのカウント値S701を出力する。なお、ブロックカウンタ701には、MBスタートフラグS31が供給されており、MBスタートフラグS31が立つとリセットされる。

【0167】MBを構成するブロックY0乃至Y3、Cb、およびCrは、Y0、Y1、Y2、Y3、Cb、Crの順で入力されるので、Y0、Y1、Y2、Y3、Cb、またはCrブロックが入力されたとき、カウント値S701は、それぞれ1、2、3、4、5、または6となる。

【0168】ブロック数のカウント値S701は、Y/Cb/Crフラグ発生器702に入力される。フラグ発生

器702は、図9のY/Cb/Crフラグ発生器202と同様に構成され、カウント値S701が4以下の場合、即ち輝度（Y）ブロックが入力されている場合、YフラグS702を立て、カウント値S701が5に等しい場合、即ちCbブロックが入力されている場合、CbフラグS703を立てる。また、カウント値S701が6に等しい場合、即ちCrブロックが入力されている場合、CrフラグS704を立てる。

【0169】一方、動き補償モードS14は、端子721を介し、イントラフラグ発生器709に入力される。イントラフラグ発生器709は、図9のイントラフラグ発生器409と同様に構成され、動き補償モードS14が「イントラ符号化（画像内予測）モード」である場合のみ、イントラフラグS705を立てる（通常0となっているイントラフラグS705を1とする）。

【0170】イントラフラグS705は、スイッチSW700に供給されており、スイッチSW700は、イントラフラグS705が0の場合、端子A側を選択し、またイントラフラグS705が1の場合、端子B側を選択するようになっている。

【0171】従って、動き補償モードS14が「イントラ符号化（画像内予測）モード」でない場合（S705=0の場合）においては、DCT係数S16は、スイッチSW700および端子Aを介し、信号S706として2次元可変長符号化器704に出力される。2次元可変長符号化器704では、信号（DCT係数）S706が、広く知られている、例えば2次元ハフマン可変長符号化処理などのVLC処理され、VLCコードS709が出力される。このVLCコードS709は、DC/AC係数多重化器708および端子732を介し、バッファ127（図4）に出力される。

【0172】一方、動き補償モードS14が「イントラ符号化（画像内予測）モード」である場合（S705=1の場合）においては、DCT係数S16は、スイッチSW700および端子Bを介し、DC/AC係数分離器703に供給される。分離器703においては、DCT係数S16が、AC係数S707とDC係数S708とに分離され、AC係数S707は2次元可変長符号化器704に、DC係数S708はDC係数可変長符号化器705に、それぞれ出力される。

【0173】2次元可変長符号化器704では、上述したようにしてAC係数S707がVLC処理され、VLCコードS709が係数多重化器708に出力される。

【0174】DC係数S708は、DC係数可変長符号化器705、可変長符号化テーブル変更部706、および可変長符号化テーブル記憶部707において、上述の図3に示すプログラムにしたがいVLC処理される。

【0175】ここで、可変長符号化テーブル記憶部707には、上述の表4乃至表6に示す可変長符号化テーブルが記憶されているとともに、可変長符号化テーブル変

更部706には、“intra_dc_precision”コードS26、YフラグS702、CbフラグS703、およびCrフラグS704が供給されている。

【0176】可変長符号化テーブル変更部706は、まず“intra_dc_precision”コードS26に基づいて、表4に示すテーブルの必要な部分だけを可変長符号化器705に出力するように、可変長符号化テーブル記憶部707に対して指示をする。

【0177】即ち、可変長符号化テーブル変更部706は、“intra_dc_precision”コードS26が「00」である場合（DC係数のビット精度が8ビット精度と指定されている場合）、表4に示すテーブルのSIZEが、0乃至8に対応する部分だけを可変長符号化器705に出力するように、可変長符号化テーブル記憶部707に対して指示し、また“intra_dc_precision”コードS26が「01」である場合（DC係数のビット精度が9ビット精度と指定されている場合）、表4に示すテーブルのSIZEが、0乃至9に対応する部分だけを可変長符号化器705に出力するように、可変長符号化テーブル記憶部707に対して指示する。

【0178】さらに、“intra_dc_precision”コードS26が「10」である場合（DC係数のビット精度が10ビット精度と指定されている場合）、表4に示すテーブルのSIZEが、0乃至10に対応する部分だけを可変長符号化器705に出力するように、可変長符号化テーブル記憶部707に対して指示し、また“intra_dc_precision”コードS26が「11」である場合（DC係数のビット精度が11ビット精度と指定されている場合）、表4に示すテーブルのSIZEが、0乃至11に対応する部分だけ、即ち表4に示すテーブルすべてを可変長符号化器705に出力するように、可変長符号化テーブル記憶部707に対して指示する。

【0179】なお、“intra_dc_precision”コードS26がいずれの値をとる場合においても、可変長符号化テーブル記憶部707に、表4に示すテーブルすべてを可変長符号化器705に出力させるようにしても良い。但し、この場合、可変長符号化に用いられない部分も可変長符号化器705に出力され、これにより表4に示すテーブルの必要な部分だけが出力される場合に比較して、可変長符号化処理に時間がかかるようになる恐れがあるので、上述のように、表4に示すテーブルの必要な部分だけを出力するようにする方が好ましい。

【0180】さらに、可変長符号化テーブル変更部706は、YフラグS702、CbフラグS703、およびCrフラグS704のうち、YフラグS702が立っている場合（DC係数S708が輝度（Y）ブロックのものである場合）、表5に示すテーブルを、CbフラグS703またはCrフラグS704が立っている場合（DC係数S708が色差ブロックのものである場合）、表6に示すテーブルをそれぞれ可変長符号器705に出力

するように、可変長符号化テーブル記憶部707に対して指示する。

【0181】可変長符号化テーブル記憶部707は、可変長符号化テーブル変更部706からの指示にしたがい、表4に示すテーブルの必要な部分だけと、表5および表6に示すテーブルのうちのいずれか一方とを可変長符号化器705に出力する。

【0182】可変長符号化器705は、可変長符号化テーブル記憶部707からの表4に示すテーブルを参照し、分離器703からのDC係数（Differential DC）S708に対応するSIZE（DC係数のビット幅を表す）を検出するとともに、そのSIZEを、表5または表6を参照してコード（VLC code）に変換する。さらに、可変長符号化器705は、可変長符号化テーブル記憶部707からの表4に示すテーブルを参照し、分離器703からのDC係数（Differential DC）S708に対応するコード（code）を検出する。そして、このコードと、上述のSIZEに対応するコード（VLC code）とを組み合わせたものを、DC係数のVLCコードS710として多重化器708に出力する。

【0183】多重化器708では、AC係数のVLCコードS709と、DC係数のVLCコードS710が多重化され、端子732を介し、バッファ127（図4）に出力される。

【0184】以上のようにして、VLC器126では、要求される画質に応じたVLC処理が行われる。

【0185】なお、この符号化装置において、被符号化画像に対して“intra_dc_precision”コードを与えずに符号化を行う場合、要求される画質に応じて、DCTなどの直交変換の直流成分係数の精度を予め決定し、それにより必要に応じて、係数用の符号化方法及び可変長テーブルの拡張をシーケンス単位で指示するようにすることができる。例えば、DCT直流成分係数レベルの最大範囲が0乃至2047（これは、入力される画像のビット精度が8ビットである場合、MPEGのDCTモジュールから出力される最大範囲）である時、要求される画質として劣化なし（Loss-Less coding）を望んでいる場合は、係数の伝送精度を11ビットとするように指示を行う。

【0186】また、被符号化画像に対して予め画像の評価を行なった上で符号化を行なう場合、要求される画質を踏まえた上で、まず、符号化したい原画像に対してその性質に関する評価を行なう。例えば、原画像の品質であるとか、動画像の動きの程度についてである。

【0187】そして、この評価データと要求される画質とに基づいて、必要とされるDCTなどの直交変換の直流成分係数の精度を決定する。例えば、上記の評価データから、原画像が高品質でない場合は、係数の精度は8ビットで十分であると評価され、また原画像の動きが速い場合は、目の輝度弁別度が低いという特性を利用し

て、係数の精度は8ビットで十分であると評価される。

【0188】上記の調査をシーケンス、GOP、ピクチャ、またはスライス単位で行い、それぞれの調査データに基づいて適応的に係数の精度を決定する。なお、係数の精度の初期指定、もしくは処理中においての変更は、シーケンス、GOP、ピクチャ、またはスライス単位に、上述の“intra_dc_precision”コードS26を記述しておくことにより行うことができるが、例えばシーケンス、GOP、ピクチャ、またはスライス単位に1ビットのフラグを設け、そのフラグにより初期値指定もしくは変更を指示し、その後、使用する係数の精度を示す情報、即ち“intra_dc_precision”コードS26を送送するようにしても良い。

【0189】次に、本発明にかかる復号化装置の一実施例の概要について、図13に基づいて説明する。

【0190】この復号化装置には、前述した符号化装置により形成されたビットストリームが、伝送路や光ディスク等の記録媒体を介して供給される。そして、図示しない復調回路等を経て、シーケンス、GOP、ピクチャ、またはスライス単位で伝送されてくるDCT等の直交変換の直流成分係数の精度(ビット数)を表す、上述した信号CTLが受信される。

【0191】なお、このCTL信号は、復号化装置に発生させるようにすることができる。この場合、復号化装置では、図2の符号化装置で用いられたCTL信号との対応が取れていることが必要であるため、符号化したデータを、例えば光ディスクなどに記録しておくときには、ディスク単位にビット精度を決めておくようにする。これにより、高画質対応の復号化装置(ビット精度が8乃至11の範囲で指定することのできる)を内蔵するディスク再生装置によって、全ての画質の動画の再生が可能となる。

【0192】これに対して、ビット精度が8ビットのみの復号化装置を内蔵するディスク再生装置では、ビット精度が9乃至11ビットの高画質のディスクは再生することができず、いわゆるディスク再生装置に対応した画質の提供が可能となる。

【0193】同様に、復号化装置は全ての精度が選択可能としておき、ディスク再生装置の種類(値段)により、特定の精度のみ選択できるようにしても良い。

【0194】復号化装置においては、CTL信号に続き、図示しない復調回路等を経て伝送されたSIZEを表す可変長符号と、SIZEに等しいビット幅の係数値を表す固定長符号が受信される。復号化回路81は、この可変長符号と固定長符号を、前述の表4、表5、表6のテーブルを参照し、図14に示すプログラム(アルゴリズム)にしたがって復号する。

【0195】なお、この図14に示すアルゴリズムは、前述の図3と同様、C言語によって記述されている。この際、必要とされる直流成分係数の精度を表す信号、即

ちビット精度が8乃至11であることを選択可能とする信号CTLが供給されており、例えば精度が11を指定する時、表4乃至表6のテーブルについて、0乃至11までのコードが使用されることとなる。

【0196】SIZEを表す可変長符号は輝度(Y)ブロックと色差(Cb, Cr)ブロックでは異なり、輝度ブロックの時は表5のテーブルを、色差ブロックの時は表6のテーブルを参照して復号される。

【0197】復号されたデータは、直流成分係数の逆差分回路82により、隣あった各々のブロック間で逆差分処理され、再構成される。逆差分処理は輝度(Y)ブロックと2つの色差(Cb, Cr)ブロックではすべて独立に行なわれる。

【0198】輝度ブロックでは、図20で説明したように、ジグザグの順序で上下左右に隣あった各々のブロックの直流成分係数を逆差分処理し、それぞれのブロックに再格納する。色差ブロックでは、図20で示したように左右に隣あった各々のブロックの直流成分係数を逆差分処理し、それぞれのブロックに再格納する。

【0199】ただし、これらの時、画像間符号化処理されたブロックの後の最初の画像内符号化処理されたブロック、もしくはスライスの最初のブロックでは、逆差分の際に符号化時と同様、初期値がリセットされるが、その値は指示された係数の精度に応じて異なる。符号化時に例示したように、指示された精度が、8ビットである場合は128、9ビットである場合は256、10ビットである場合は512、11ビットである場合は1024なる初期値を使用する。

【0200】次に、直流成分係数の逆量子化回路83により、直流成分係数の逆線形量子化を行う。この時、指示された係数の精度に応じて逆量子化ステップ幅は変更される。例えば指示された精度が、8ビットである場合は8、9ビットである場合は4、10ビットである場合は2、11ビットである場合は1の値が乗算され、逆線形量子化される。

【0201】逆線形量子化された直流成分係数は逆DCT回路84に供給され、直流成分係数として、前述の図18における係数F(0,0)にはめこまれる。この後の処理について簡単に説明すると、逆DCT回路の他の周波数成分係数(F(0,0)を除く他の係数)は、図示しない他の処理回路から供給され、8×8のマトリクスを形成する。これを2次元の逆DCTすることにより、元の輝度信号又は色差信号に復元する。

【0202】なお、線形／逆線形量子化により、本来の信号レベルとは異なる輝度信号または色差信号に復元される可能性がある。しかしながら、DCT／逆DCTの特質として、隣接係数の関係から原データが推測出来、大きな誤差とならないことが知られており問題とならない。

【0203】次に、図15乃至図17を参照して、本発

明を適用した動画像復号化装置の実施例について、さらに詳細に説明する。

【0204】まず、図15は、本発明を適用した動画像復号化装置の一実施例の全体構成を示すブロック図である。例えば、図4に示す符号化装置により符号化されたビットストリームは、端子150を介してバッファメモリ151に入力されて一時蓄積される。このビットストリームは、図1を参照して説明したように、6つの層（レイヤ）、即ちビデオシーケンス、GOP、ピクチャ、スライス、マクロブロック、ブロックの各層から構成される。バッファメモリ151に蓄積されたビットストリームは、逆VLC器152に順次供給される。

【0205】上述したように、図4に示す符号化装置からは、ビデオシーケンス、GOP、ピクチャ、スライスのそれぞれの層の先頭にそれらが始まることを示すスタートコードが付加され、その後にヘッダ情報が出力（伝送）されてくるので、逆VLC器152では、まず、それぞれのスタートコードが検出される。

【0206】逆VLC器152は、ビットストリームから、シーケンスの先頭を示すスタートコードを検出すると、シーケンススタートフラグS100を立て、シーケンスのヘッダ情報を復号化（可変長復号化）する。さらに、逆VLC器152は、GOP、ピクチャ、またはスライスの先頭を示すスタートコードを検出すると、GOPスタートフラグS101、ピクチャスタートフラグS102、またはスライススタートフラグS103を立て、GOP、ピクチャ、またはスライスのヘッダ情報をそれぞれ復号化（可変長復号化）する。

【0207】また、逆VLC器152は、ビットストリームからMBの先頭を検出し、その検出タイミングでMBスタートフラグS104を立てる。その後、MBのヘッダ情報を復号化（可変長復号化）し、これによりMBの画像（画面）上での位置を表すMBアドレスS64を得る。

【0208】逆VLC器152で復号化されたヘッダ情報は、復号化制御情報記憶用メモリ162に供給されて記憶される。メモリ162に記憶されている情報は、制御情報信号S114として、動画像復号化装置を構成する各ブロックに供給され、各ブロックは、この制御情報信号S114に基づいて動作する。

【0209】さらに、逆VLC器152は、ヘッダ情報に続く動画像の符号化データS50、量子化ステップ（逆量子化ステップ）S57、動きベクトルS61、動き補償モードS62を復号化（可変長復号化）する。

【0210】逆VLC器152より出力される、可変長復号化された符号化データS50は、後述するDC係数逆差分器153を経て、信号（量子化されたDCT係数）S51として、逆スキャンコンバータ154に入力される。逆スキャンコンバータ154は、量子化されたDCT係数S51を、その低周波数成分から高周波数成分へ逆ジグザグスキャンし、信号S52として、逆量子化回路155に出力する。

分へ逆ジグザグスキャンし、信号S52として、逆量子化回路155に出力する。

【0211】逆量子化器55は、逆VLC器152から供給される逆量子化ステップS57に対応して、信号（量子化されたDCT係数）S52を逆量子化し、ブロック信号（DCT係数）S53を出力する。DCT係数S53は、逆DCT回路156に供給され、そこで、逆DCT処理が施され、差分信号S54とされて、加算器157に出力される。

【0212】一方、逆VLC器152より出力された、現在復号化対象のMB（ブロック）における動きベクトルS61および動き補償モードS62は、動き補償器159へ入力される。動き補償器159は、図4の動き補償器122と同様に動作し、後述するようにして、フィールドメモリ群158に記憶されている、既に復号された画像から、予測画像S56を生成して加算器157に出力する。加算器157では、差分信号S54と予測画像S56とが、1画素ごとに加算され、これにより復号された画像S55が生成されて出力される。

【0213】この復号画像データS55は、前方／後方／両方向予測に用いる画像として、図4のフィールドメモリ群コントロール器124と同様に動作するフィールドメモリ群コントロール器161から出力される画像指示信号S59により指定されたフィールドメモリ群158のアドレスに記憶される。フィールドメモリ群158に記憶された復号画像S55は、フィールドメモリ群コントロール器161から出力画像指示信号S60が出力されるタイミングにしたがって、端子160より再生画像として出力される。

【0214】さらに、フィールドメモリ群158に記憶された復号画像S55は、前方／後方／両方向予測された画像を復号するための予測画像を生成するのに用いる画像として、フィールドメモリ群コントロール部161から出力される動き補償参照画像指示信号S58により指定される。

【0215】動き補償器159は、フィールドメモリ群158に記憶された、動き補償参照画像指示信号S58により指定された画像（局所復号された画像）に対して、逆VLC器152からの動きベクトルS61および動き補償モードS62をもとに動き補償を施し、予測画像S56を生成して加算器157に出力する。即ち、動き補償器159は、図4の動き補償器122と同様に、前方／後方／両方向予測モードのときのみ、フィールドメモリ群58の読み出しアドレスを、逆DCT回路156が加算器157にいま出力しているブロックの位置に対応する位置から動きベクトルS61に対応する分だけずらして、画像データを読み出し、予測画像S56として、加算器157に出力する。

【0216】前方／後方／両方向予測モードの場合は、予測画像からの差分が逆DCT回路156の出力S54

として送られてくるので、加算器 157 は、この差分 S54 を、動き補償回路 159 からの予測画像 S56 に対して足し込むことで復号を行う。この復号された画像データ S55 は、以降に、前方／後方／両方向予測で符号化された画像を復号するために用いる画像データとしてフィールドメモリ群 158 に記憶される。

【0217】また画像内予測モードの場合は、予測画像との差分ではなく、画像データそのものが逆 DCT 回路 156 の出力 S54 として送られてくるので、加算器 157 は、この画像データをそのままフィールドメモリ群 158 に出力し、以降に、前方／後方／両方向予測で符号化された画像を復号するために用いる画像データ S55 として記憶させる。

【0218】なお、フィールドメモリ群 158 には、I および P ピクチャのデータだけ記憶され、B ピクチャのデータは記憶されない。これは、B ピクチャのデータが、前方／後方／両方向予測に用いられないからである。

【0219】また、上述の動き補償は、例えば 16×16 画素のブロック単位で行われる。さらに、フィールドメモリ群コントロール器 161 は、ピクチャスタートフラグ S102 に同期したタイミングで、上述の動き補償参照画像指示信号 S58、S59、出力画像指示信号 S60 をフィールドメモリ群 58 へ出力する。

【0220】以上のようにして、この動画復号化装置では、ビット・ストリームから画像が復号される。

【0221】次に、上述した図 4 に示す符号化装置からは、要求される画質に応じて DCT 係数のうちの直流係数（DC 係数）の符号化精度（ビット数）が、シーケンス単位、GOP 単位、ピクチャ単位、またはスライス単位で切り換えられたビットストリームが出力されるので、図 15 に示す復号化装置においては、DCT の直流（DC）係数の復号化精度（ビット数）をシーケンス単位、GOP 単位、ピクチャ単位、またはスライス単位で受信し、適応的に直流成分係数の復号化方法を変更することができるようになされている。

【0222】即ち、DC 係数のビット精度（復号化精度）の情報としての 2 ビットの“intra_dc_precision”コードは、上述したようにシーケンスヘッダ、GOP ヘッダ、ピクチャヘッダ、またはスライスヘッダに記述され、符号化装置から出力されるので、まず逆 VLC 器 152 は、このシーケンスヘッダ、GOP ヘッダ、ピクチャヘッダ、またはスライスヘッダを受信、復号化することにより、“intra_dc_precision”コードを得る。

【0223】図 15 に示す復号化装置においては、この“intra_dc_precision”コードは、逆 VLC 器 152 自身で用いられる他、信号 S63 として、DC 係数逆差分器 153 および逆量子化回路 155 に供給されるようになっている。以下に、それぞれのブロックの詳細について説明する。

【0224】まず、逆量子化器 155 は、図 8 を参照して説明した符号化装置の逆量子化回路 118 と同様に構成される。従って、逆量子化器 115 においては、上述した図 8 に示す逆量子化回路 118 の説明における、量子化された DCT 係数 S6、動き補償モード S14、量子化ステップ（逆量子化ステップ）S18、または“intra_dc_precision”コード S26 を、量子化された DCT 係数 S52、動き補償モード S62、量子化ステップ（逆量子化ステップ）S57、または“intra_dc_precision”コード S63 に、それぞれ読み代えた場合と同様の処理がなされる。

【0225】次に、逆 VLC 器 152 は、例えば図 16 に示すように構成され、まず、その内蔵する図示せぬ処理回路において、入力されたビットストリームに基づき、上述したようにして、ビデオシーケンススタートフラグ S100、GOP スタートフラグ S101、ピクチャスタートフラグ S102、スライススタートフラグ S103、MB スタートフラグ S104 がそれぞれ立てられるとともに、MB アドレス S64、量子化ステップ（逆量子化ステップ）S57、動きベクトル S61、動き補償モード S62、および“intra_dc_precision”コード S63 が検出される。

【0226】さらに、この図示せぬ処理回路において、バッファ 151 からのビットストリームから、画像データに対応する部分が分離され、この画像データに対応する部分は、信号（量子化され、さらに可変長符号化された DCT 係数）S811 として端子 800 を介してスイッチ SW800 に入力される。

【0227】一方、ブロックカウンタ 801 は、後述するブロック化回路 808 がブロック信号 S50 を出力するタイミングでたてるフラグ S820 をカウントし、即ちブロック化回路 808 より出力される 8×8 のブロックの数をカウントし、そのカウント値 S801 を出力する。なお、ブロックカウンタ 801 には、MB スタートフラグ S104 が供給されており、MB スタートフラグ S104 が立つと、初期値としての 1 がセットされる。

【0228】MB を構成するブロック Y0 乃至 Y3、Cb、および Cr は、Y0、Y1、Y2、Y3、Cb、Cr の順で端子 800 を介して入力され、同一の順番でブロック化回路 808 から出力されるので、Y0、Y1、Y2、Y3、Cb、または Cr ブロックが入力されたとき、カウント値 S801 は、それぞれ 1、2、3、4、5、または 6 となる。

【0229】ブロック数のカウント値 S801 は、Y/Cb/Cr フラグ発生器 802 に入力される。フラグ発生器 802 は、図 9 に示す Y/Cb/Cr フラグ発生器 202 と同様に構成され、カウント値 S801 が 4 以下の場合、即ち輝度（Y）ブロックが入力されている場合、Y フラグ S802 を立て、カウント値 S801 が 5 に等しい場合、即ち Cb ブロックが入力されている場合、Cb フ

ラグS803を立てる。また、カウント値S801が6に等しい場合、即ちCrブロックが入力されている場合、CrフラグS804を立てる。

【0230】一方、動き補償モードS62は、端子821を介し、イントラフラグ発生器809に入力される。イントラフラグ発生器809は、図9に示すイントラフラグ発生器409と同様に構成され、動き補償モードS62が「イントラ符号化（画像内予測）モード」である場合のみ、イントラフラグS805を立てる（通常0となっているイントラフラグS805を1とする）。

【0231】イントラフラグS805は、スイッチSW800に供給されており、スイッチSW800は、イントラフラグS805が0の場合、端子A側を選択し、またイントラフラグS805が1の場合、端子B側を選択するようになされている。

【0232】従って、動き補償モードS62が「イントラ符号化（画像内予測）モード」でない場合（S805=0の場合）においては、符号化された画像データ（量子化され、さらに可変長符号化されたDCT係数）S811は、スイッチSW800および端子Aを介し、信号S806として2次元可変長符号解読器804に出力される。2次元可変長符号解読器804では、符号化された画像データS806が、広く知られている、例えば2次元ハフマン可変長復号化処理などの逆VLC処理され、逆VLCコード（量子化されたDCT係数）S809が出力される。この逆VLCコードS809は、ブロック化回路808で8×8のブロックにブロック化され、信号S50として逆差分器153（図15）に出力される。

【0233】一方、動き補償モードS62が「イントラ符号化（画像内予測）モード」である場合（S805=1の場合）においては、符号化された画像データS811は、スイッチSW800および端子Bを介し、DC/AC係数分離器803に供給される。分離器803においては、符号化された画像データ（量子化され、さらに可変長符号化されたDCT係数）S811が、DCT係数のAC係数に対応するデータS807（以下、ACデータという）と、DC係数に対応するデータ（以下、DCデータという）S808とに分離され、ACデータS807は2次元可変長符号解読器804に、DCデータS808はDC係数可変長符号解読器805に、それぞれ出力される。

【0234】2次元可変長符号解読器804では、上述したようにしてACデータS807が逆VLC処理され、逆VLCコード（量子化されたAC係数）S809がブロック化回路808に出力される。

【0235】DCデータS808は、DC係数可変長符号解読器805、可変長符号化テーブル変更部806、および可変長符号化テーブル記憶部807において、上述の図14に示すプログラムにしたがい逆VLC処理さ

れる。

【0236】ここで、可変長符号化テーブル記憶部807には、上述の表4乃至表6に示す可変長符号化テーブルが記憶されているとともに、可変長符号化テーブル変更部806には、“intra_dc_precision”コードS63、YフラグS802、CbフラグS803、およびCrフラグS804が供給されている。

【0237】可変長符号化テーブル変更部806は、まず“intra_dc_precision”コードS63に基づいて、表4に示すテーブルの必要な部分だけを可変長符号解読器805に出力するように、可変長符号化テーブル記憶部807に対して指示をする。

【0238】即ち、可変長符号化テーブル変更部806は、“intra_dc_precision”コードS63が「00」である場合（DC係数のビット精度が8ビット精度と指定されている場合）、表4に示すテーブルのSIZEが、0乃至8に対応する部分だけを可変長符号解読器805に出力するように、可変長符号化テーブル記憶部807に対して指示し、また“intra_dc_precision”コードS63が「01」である場合（DC係数のビット精度が9ビット精度と指定されている場合）、表4に示すテーブルのSIZEが、0乃至9に対応する部分だけを可変長符号解読器805に出力するように、可変長符号化テーブル記憶部807に対して指示する。

【0239】さらに、“intra_dc_precision”コードS63が「10」である場合（DC係数のビット精度が10ビット精度と指定されている場合）、表4に示すテーブルのSIZEが、0乃至10に対応する部分だけを可変長符号解読器805に出力するように、可変長符号化テーブル記憶部807に対して指示し、また“intra_dc_precision”コードS63が「11」である場合（DC係数のビット精度が11ビット精度と指定されている場合）、表4に示すテーブルのSIZEが、0乃至11に対応する部分だけ、即ち表4に示すテーブルすべてを可変長符号解読器805に出力するように、可変長符号化テーブル記憶部807に対して指示する。

【0240】なお、“intra_dc_precision”コードS63がいずれの値をとる場合においても、可変長符号化テーブル記憶部807に、表4に示すテーブルすべてを可変長符号解読器805に出力させるようにしても良い。但し、この場合、可変長符号の解読に用いられない部分も可変長符号解読器805に出力され、これにより表4に示すテーブルの必要な部分だけが出力される場合に比較して、可変長符号解読処理（逆VLC処理）に時間がかかるようになる恐れがあるので、上述のように、表4に示すテーブルの必要な部分だけを出力するようにする方が好ましい。

【0241】さらに、可変長符号化テーブル変更部806は、YフラグS802、CbフラグS803、およびCrフラグS804のうち、YフラグS802が立って

いる場合（DCデータS808が輝度（Y）ブロックのものである場合）、表5に示すテーブルを、CbフラグS803またはCrフラグS804が立っている場合（DCデータS808が色差ブロックのものである場合）、表6に示すテーブルをそれぞれ可変長符号化テーブル記憶部805に出力するように、可変長符号化テーブル記憶部807に対して指示する。

【0242】可変長符号化テーブル記憶部807は、可変長符号化テーブル変更部806からの指示にしたがい、表4に示すテーブルの必要な部分だけと、表5および表6に示すテーブルのうちのいずれか一方とを可変長符号化テーブル記憶部805に出力する。

【0243】可変長符号化テーブル記憶部807からの表5または表6に示すテーブルを参照し、分離器803からのDCデータS808としての、DC係数を可変長符号化したコード（code）と、そのコードのビット幅を表すSIZEに対応するコード（VLC code）との組み合わせデータのうち、SIZEに対応するコード（VLC code）から、DC係数を可変長符号化したコード（code）のビット幅（dct dc size luminance）、即ちSIZEを求める。

【0244】このSIZEは、DC係数を可変長符号化したコード（code）のビット幅に等しい値とされているので、可変長符号化テーブル記憶部805は、上述のようにしてSIZEを求めた後、分離器803からのDCデータS808のうち、SIZEに対応するコードに続く、SIZEに等しいビット数分のコード、即ちDC係数を可変長符号化したコード（code）を、表4に示すテーブルを参照して、DC係数（Differential DC）（量子化されたDC係数）に変換し、信号S810としてブロック化回路808に出力する。

【0245】ブロック化回路808では、解読器804からのAC係数（量子化されたAC係数）と、解読器805からのDC係数（量子化されたDC係数）が、8×8のブロックにブロック化され、ブロック信号S50として逆差分器153（図15）に出力される。

【0246】以上のようにして、逆VLC器152では、要求される画質に応じた符号化処理が行われた画像データに対する逆VLC処理が行われる。

【0247】次に、DC係数逆差分器153は、例えば図17に示すように構成され、そこには、逆VLC器152の出力（量子化されたDCT係数）S50、動き補償モードS62、“intra_dc_precision”コードS63、スライススタートフラグS103、MBスタートフラグS104、およびMBアドレスS64が供給されている。

【0248】逆VLC器152からの量子化されたDCT係数（以下、量子化係数という）S50は、端子600を介してブロックカウンタ613およびスイッチSW600に入力される。ブロックカウンタ613は、入力

される量子化係数S50によって構成されるブロックの数をカウントし、そのカウント値S601を出力する。なお、ブロックカウンタ613には、MBスタートフラグS104が供給されており、MBスタートフラグS104が立つとリセットされる。

【0249】ブロック数のカウント値S601は、Y/Cb/Crフラグ発生器614に入力される。フラグ発生器614は、カウント値S601が4以下の場合、即ち輝度（Y）ブロックが入力されている場合、YフラグS602を立て、カウント値S601が5に等しい場合、即ちCbブロックが入力されている場合、CbフラグS203を立てる。また、カウント値S601が6に等しい場合、即ちCrブロックが入力されている場合、CrフラグS604を立てる。

【0250】一方、動き補償モードS62は、端子621を介し、イントラフラグ発生器609に入力される。イントラフラグ発生器609は、動き補償モードS62が「イントラ符号化（画像内予測）モード」である場合のみ、イントラフラグS606を立てる（通常0となっているイントラフラグS606を1とする）。

【0251】イントラフラグS606は、スイッチSW600およびSW610に供給されており、スイッチSW600は、イントラフラグS606が0の場合、端子A側を選択し、またイントラフラグS606が1の場合、端子B側を選択するようになっている。

【0252】従って、動き補償モードS62が「イントラ符号化（画像内予測）モード」でない場合（S606=0の場合）においては、量子化係数S50は、スイッチSW600および端子Aを介し、信号S601としてブロック化回路602に出力される。ブロック化回路602では、量子化係数S601が8×8のブロックにブロック化され、ブロック信号S51として、端子620を介して逆スキャンコンバータ154（図15）に出力される。

【0253】一方、動き補償モードS62が「イントラ符号化（画像内予測）モード」である場合（S606=1の場合）においては、量子化係数S50、即ち差分化され、さらに量子化されたDCT係数S50は、スイッチSW600および端子Bを介し、DC/AC係数分離器601に供給される。分離器601においては、差分化され、さらに量子化されたDCT係数S50が、AC係数S602とDC係数S603とに分離され、AC係数S602はブロック化回路602に、DC係数S603は加算器613に、それぞれ出力される。

【0254】DC係数S603は、スイッチSW603、SW604、レジスタ群605、および加算器613において、隣あったブロックまたはMB間のものどうしで逆差分化される。この逆差分化は、輝度（Y）ブロック、2つの色差（Cb、Cr）ブロックで、それぞれ独立に行われる。

【0255】即ち、フラグ発生器614から出力されたYフラグS602、CbフラグS603、およびCrフラグのうち、YフラグS602が立っている場合、DC係数S603は、Y0乃至Y3ブロックのうちのいずれかの輝度(Y)ブロックの差分化されたDC係数であり、この場合、スイッチSW603またはSW604は、端子CまたはC'をそれぞれ選択する。これにより、輝度

(Y)ブロックのDC係数S603は、加算器613において、レジスタ群605を構成するYレジスタにラッチされている、既に逆差分化がなされた輝度(Y)ブロックのDC係数S630と加算され、これにより差分がとられる前のDC係数S605に変換される。このDC係数S605は、スイッチSW604および端子C'を介して、レジスタ群605を構成するYレジスタに供給されてラッチ(上書き)されるとともに、ブロック化回路602に出力される。

【0256】レジスタ群605のYレジスタは、輝度(Y)ブロックのDC係数S605を、1ブロックに対応する分だけ遅延し、この遅延信号S630を、端子CおよびスイッチSW603を介して加算器613に出力する。

【0257】以上の処理が繰り返され、輝度(Y)ブロックのDC係数S603の逆差分化が行われ、元のDC係数(量子化されたDC係数)605が生成される。

【0258】ブロック化回路602では、DC係数S605と、分離回路401からのAC係数S602とを、8×8のブロックにブロック化し、ブロック信号S51として、端子620を介して逆スキャンコンバータ154(図15)に出力する。

【0259】また、フラグ発生器614より出力されたCbフラグS603が立っている場合、DC係数S603は、CbブロックのDC係数であり、この場合、スイッチSW603またはSW604は、端子DまたはD'をそれぞれ選択する。これにより、CbブロックのDC係数S603は、加算器613において、レジスタ群605を構成するCbレジスタにラッチされている、既に逆差分化がなされたCbブロックのDC係数S630と加算され、これにより差分がとられる前のDC係数S605に変換される。このDC係数S605は、スイッチSW604および端子D'を介して、レジスタ群605を構成するCbレジスタに供給されてラッチ(上書き)されるとともに、ブロック化回路602に出力される。

【0260】レジスタ群605のCbレジスタは、CbブロックのDC係数S605を、1MBに対応する分だけ遅延し、この遅延信号S630を、端子DおよびスイッチSW603を介して加算器613に出力する。

【0261】以上の処理が繰り返され、CbブロックのDC係数S603の逆差分化が行われ、元のDC係数(量子化されたDC係数)605が生成される。

【0262】さらに、フラグ発生器614より出力され

たCrフラグS604が立っている場合、DC係数S603は、CrブロックのDC係数であり、この場合、スイッチSW603またはSW604は、端子EまたはE'をそれぞれ選択する。そして、以下、上述のCbブロックにおける場合と同様の処理が行われる。

【0263】なお、レジスタ群605は、イントラ符号化処理されたMBのMBアドレスS64が不連続である場合か、または入力されたDC係数のブロックがスライスの最初のMBを構成するブロックである場合、レジスタ群605のY、Cb、Crレジスタは、レジスタ初期値発生器606が発生する初期値S613によってリセットされるようになされている。

【0264】即ち、スイッチSW610は、イントラフラグS606が0の場合、OFF状態になり、またイントラフラグS606が1の場合、ON状態になるようになされている。さらに、スイッチSW610には、逆VLC器152(図15)から端子623を介してMBアドレスS64が供給されるようになされている。

【0265】従って、動き補償モードS62が「イントラ符号化(画像内予測)モード」である場合(S606=1の場合)においては、MBアドレスS64が、SW610を介してレジスタ611に供給されてラッチ(上書き)される。レジスタ611は、MBアドレスS64を、1MBに対応する時間だけ遅延し、この遅延信号S607を減算器612に供給する。

【0266】減算器612には、遅延信号S607の他、端子623を介してMBアドレスS64が供給されており、そこで式(S64-S607)にしたがった差分演算が行われ、これにより、隣あったMBのアドレスどうしの差分S608が生成される。この差分S608は、ORゲート608の一端に供給される。

【0267】ORゲート608の他端には、逆VLC器152(図15)からのスライススタートフラグS103が供給されており、ORゲート608は、通常0および1のうちの、例えば0を出力しているが、差分S608が1より大きい場合(S608>1)か、またはスライススタートフラグS103が立っている場合、0および1のうちの、例えば1を出力する。

【0268】スイッチSW607は、ORゲート608の出力が0のときOFF状態に、ORゲート608の出力が1のときON状態になるようになされており、またレジスタ初期値発生器606で発生された初期値S613は、スイッチSW607を介してレジスタ群605に供給されるようになされている。

【0269】従って、イントラ符号化処理されたMBのMBアドレスS64が不連続である場合、または入力されたDC係数からなるブロックがスライスの最初のMBを構成するブロックである場合、レジスタ初期値発生器606で発生された初期値S613は、スイッチSW607を介してレジスタ群605に供給される。

【0270】レジスタ初期値発生器606では、DC係数の符号化精度を表す“intra_dc_precision”コードS63に対応して、レジスタ群605を構成するY、Cb、Crレジスタの初期値S613が発生される。

【0271】即ち、レジスタ初期値発生器606は、例えば“intra_dc_precision”コードS63が「00」である場合（DC係数のビット精度が8ビット精度と指定されている場合）、初期値S613を128に設定して出力し、また“intra_dc_precision”コードS63が「01」である場合（DC係数のビット精度が9ビット精度と指定されている場合）、初期値S613を256に設定して出力する。さらに、“intra_dc_precision”コードS63が「10」である場合（DC係数のビット精度が10ビット精度と指定されている場合）、初期値S613を512に設定して出力し、また“intra_dc_precision”コードS63が「11」である場合（DC係数のビット精度が11ビット精度と指定されている場合）、初期値S613を1024に設定して出力する。

【0272】以上のようにして、DC係数逆差分化器153では、要求される画質に応じて、シーケンス単位、GOP単位、ピクチャ単位、またはスライス単位で切り換えられたDC係数の符号化精度（ビット数）に対応して、DC係数の逆差分化処理が行われる。

【0273】以上、8ビット精度の動画像信号が入力された場合について説明したが、本発明は、他のビット精度の画像信号に対しても適用可能である。

【0274】即ち、符号化装置において、入力信号に対するDCT処理の結果得られるDCT係数のうちのDC係数のビット幅がNビットであり、“intra_dc_precision”コードによりM（1乃至Nのうちのいずれか）ビットの符号化精度が指定された場合、図4に示す符号化装置の量子化回路115における量子化ステップ幅を $2^{(N-M)}$ とし、DC係数差分化器125における初期値S413（図9）を $2^M/2$ とする。そして、VLC器126に、表5または表6にそれぞれ代えて、以下に示す表7または表8に示すテーブルに基づいてVLC処理を行わせるようにする。なお、この場合、表7または表8に示すテーブルは、その値が固定されたものではなく、入力画像信号の統計的な調査をもとに、符号化後の圧縮率が向上するように、値が変更されたものを使用するようにすることができる。

【0275】

【表7】

VLC code	dc dc size luminance
100	0
00	1
01	2
101	3
110	4
1110	5
11110	6
111110	7
1111110	8
11111110	9
111111110	10
1111111110	11
11111111110	12
111111111110	13
...	...
11...(M-1)個の1,0	M

【0276】

【表8】

VLC code	dc dc size chrominance
00	0
01	1
10	2
110	3
1110	4
11110	5
111110	6
1111110	7
11111110	8
111111110	9
1111111110	10
11111111110	11
111111111110	12
1111111111110	13
...	...
11...(M-1)個の1,0	M

【0277】また、このようにして符号化された画像を復号する場合には、図15に示す復号化装置の逆量子化回路155における逆量子化ステップ幅を $2^{(N-M)}$ とし、DC係数逆差分化器153における初期値S613（図17）を $2^M/2$ とする。そして、逆VLC器152に、表5または表6にそれぞれ代えて表7または表8に示すテーブルに基づいて逆VLC処理を行わせるようにすればよい。

【0278】さらに、本実施例においては、予測画像に基づく差分データの生成、またはデータのDCT処理を、それぞれフィールド単位で行うようにしたが、符号化後の圧縮率が向上するようにフィールド処理とフレーム処理とを切り換えて、予測画像に基づく差分データの生成、またはデータのDCT処理をそれぞれ行うようにすることができる。

【0279】

【発明の効果】本発明により、符号化装置側では、要求される画質に応じて、必要とされるDCTなどの直交変換の直流成分係数の精度（ビット数）を切替え、それにより直流成分係数の符号化方法を変更し、さらに直流成分係数用の可変長符号テーブルを拡張することができるため、無駄のない符号化が可能となる。

【0280】また、復号化装置側では、伝送されてくるDCTなどの直交変換の直流成分係数の精度を示す信号に応じて、直流成分係数の復号化方法を変更し、さらに直流成分係数用の可変長符号テーブルの拡張を行い、係

数の復号が可能となる。

【図面の簡単な説明】

【図1】シーケンス、GOP、ピクチャ、スライス、MB（マクロブロック）、ブロックを説明する図である。

【図2】実施例での直交変換の直流成分係数の符号化のアルゴリズムを示す図である。

【図3】実施例での直交変換の直流成分係数の可変長符号化アルゴリズムを実行するC言語のソースプログラムである。

【図4】本発明の動画像符号化装置の一実施例の構成を示すブロック図である。

【図5】“intra_dc_precision”コードが記述されたピクチャヘッダを示す図である。

【図6】図5のピクチャヘッダに続くピクチャヘッダである。

【図7】図4の実施例における量子化回路115のより詳細なブロック図である。

【図8】図4の実施例における逆量子化回路118のより詳細なブロック図である。

【図9】図4の実施例におけるDC係数差分器125のより詳細なブロック図である。

【図10】図4の実施例におけるVLC器126のより詳細なブロック図である。

【図11】図4の動画像符号化装置により符号化されたデータが記録された光ディスクを製造する方法を説明する図である。

【図12】図4の動画像符号化装置により符号化されたデータが記録された光ディスクを製造する方法を説明する図である。

【図13】実施例での直交変換の直流成分係数の復号化のアルゴリズムを示す図である。

【図14】実施例での直交変換の直流成分係数の可変長符号の復号化アルゴリズムを実行するC言語のソースプログラムである。

【図15】本発明の動画像復号化装置の一実施例の構成

を示すブロック図である。

【図16】図15の実施例における逆VLC器152のより詳細なブロック図である。

【図17】図15の実施例におけるDC係数逆差分器153のより詳細なブロック図である。

【図18】2次元DCT（8×8）の係数の性質を説明するための図である。

【図19】動画像の符号化及び復号化を説明するための図である。

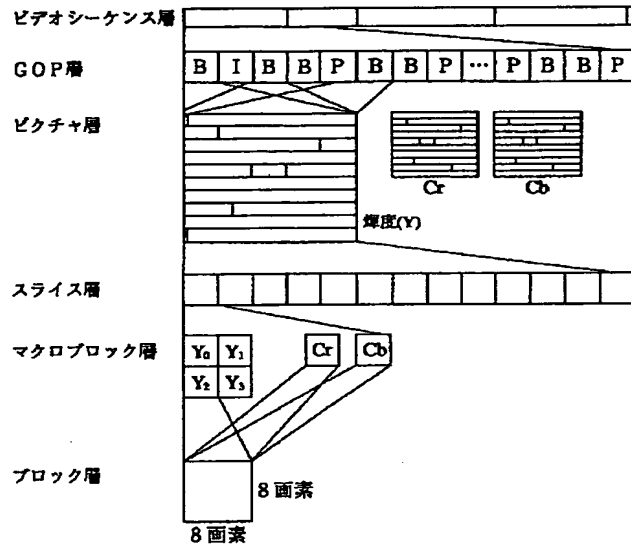
【図20】直流成分係数の差分化及び逆差分化処理の順序を示す図である。

【図21】直流成分係数の差分化する差分器及び逆差分化する逆差分器の構成を示すブロック図である。

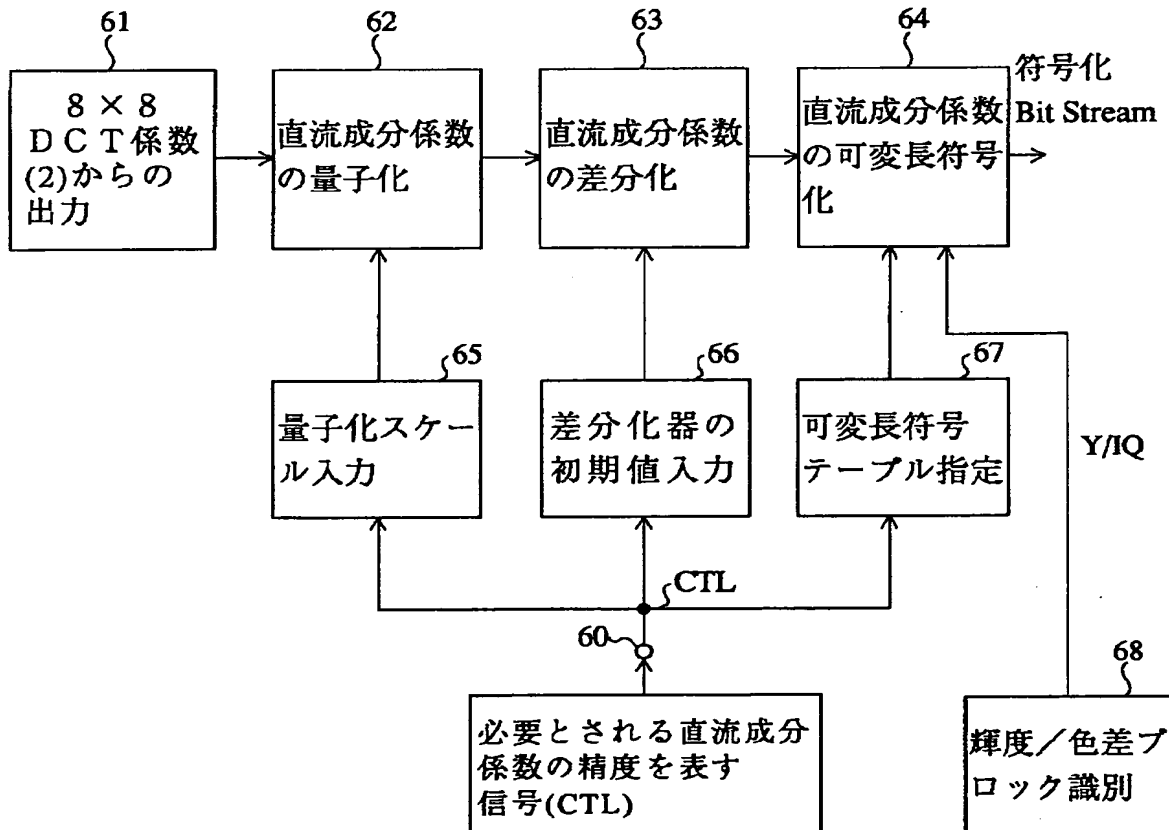
【符号の説明】

- 111 フィールドメモリ群
- 112 動き予測器
- 113 加算器
- 114 DCT回路
- 115 量子化回路
- 116 スキャンコンバータ
- 117 逆スキャンコンバータ
- 118 逆量子化回路
- 119 逆DCT回路
- 120 加算器
- 121 フィールドメモリ群
- 122 動き補償器
- 123 参照画像コントロール器
- 124 フィールドメモリ群コントロール器
- 125 DC係数差分器
- 126 VLC器
- 127 バッファ
- 128 MBカウンタ
- 129 ピクチャカウンタ
- 130 画像符号化制御情報記憶用メモリ
- 134 制御情報外部入力部

【図1】



【図2】



【図 3】

```

/*=====
  直流分係数の可変長符号化
  ===== */
#define MAX_SIZE (必要とされる直流成分係数の精度に等しいビット数)

vlc_dct_dc(value)
int value /*ここで可変長符号化されるべき、差分化された直流成分係数の値*/
{
  int sign=Sign(value); /*valueの+/-の符号*/
  int diff=abs(value); /*valueの絶対値*/
  int size; /*S I Z E*/
  int offset=0;
  int i;

  for (size=MAX_SIZE; size>0; size--) {
    if (diff<(1<<(size-1))) break;
  }
  for (i=0; i<size; i++)
    offset += (1<<i);

  if (sign==(-1))
    diff=offset-diff;

  /*-----
    表5、表6を参照してS I Z Eの可変長符号を求める
    S I Z Eの可変長符号を出力する。
    ----- */
  if (isY_block /*精度ブロックの場合*/)
    vlc_dct_dc_size_luminance(size);
  else /*色差ブロックの場合*/
    vlc_dct_dc_size_chrominance(size);

  /*-----
    diffをsizeに等しいビット幅の
    uimsbf(unsigned_integer_most_significant_bit_first)
    で出力する。
    ----- */
  put_uimsbf(diff, size);
}

```

The diagram illustrates a video signal processing system. It starts with input signals S19 and S25. S19 is processed by a frame memory (111) and a reference frame controller (123). S25 is processed by a motion predictor (112) and a reference frame controller (123). The outputs of these blocks are combined in a summing junction (113) to produce signal S1. S1 is then processed by a DCT block (114) and a quantization block (115) to produce signal S3. S3 is processed by an inverse quantization block (116) and an inverse DCT block (117) to produce signal S5. S5 is processed by a frame memory (118) and a reference frame controller (123). The outputs of these blocks are combined in a summing junction (119) to produce signal S7. S7 is processed by a frame memory (120) and a reference frame controller (123). The outputs of these blocks are combined in a summing junction (121) to produce signal S9. S9 is processed by a frame memory (122) and a reference frame controller (123). The outputs of these blocks are combined in a summing junction (124) to produce signal S11. S11 is processed by a frame memory (125) and a reference frame controller (123). The outputs of these blocks are combined in a summing junction (126) to produce signal S13. S13 is processed by a frame memory (127) and a reference frame controller (123). The outputs of these blocks are combined in a summing junction (128) to produce signal S14. S14 is processed by a frame memory (129) and a reference frame controller (123). The outputs of these blocks are combined in a summing junction (130) to produce signal S18. S18 is the final output signal.

【図5】

Picture Layer

pictuer0 {		
picture_start_code	32	bslbf
tempoeal_reference	10	uimsbf
if(sscalable) {		
lower_picture_reference	10	uimsbf
}		
picture_coding_type	3	uimsbf
vbv_delay	16	uimsbf
if(picture_coding_type==2 picture_coding_type ==3) {		
full_pel_forward_vector	1	
forward_f_code	3	uimsbf
}		
if(picture_coding_type==3) {		
full_pel_backward_vector	1	
backward_f_code	3	uimsbf
}		
while(nextbits0=='1') {		
extra_bit_picture	1	"1"
extra_information_picture	8	
}		
extra_bit_picture	1	"0"
next_start_code0		
if(nextbits0==extension_start_code) {		
extension_start_code	32	bslbf
if(picture_coding_type==2 picture_coding_type==3) {		
forward_vertical_f_code	3	uimsbf
}		
if(picture_coding_type==3) {		
backward_vertical_f_code	3	uimsbf
}		
picture_structure	2	uimsbf
interlace_progressive_flag	2	uimsbf
if(picture_structure=='frame_picture'&&		
interlace_progressive_flag=='interlace') {		
top_field_first_flag	1	uimsbf
number_of_fields_displayed_code	3	uimsbf
}		
forward_reference_fields	2	uimsbf
backward_reference_fields	2	uimsbf
if(chroma_format=="01") { /*4:2:0*/		
chroma_postprocessing_type	1	uimsbf
} else {		
reserved	1	uimsbf
}		
if(video_format != '000') /*composite input*/		
v_axis	1	uimsbf
field_sequence	3	uimsbf
sub_carrier	1	uimsbf
burst_amplitude	7	uimsbf
sub_carrier_phase	8	uimsbf

【図 6】

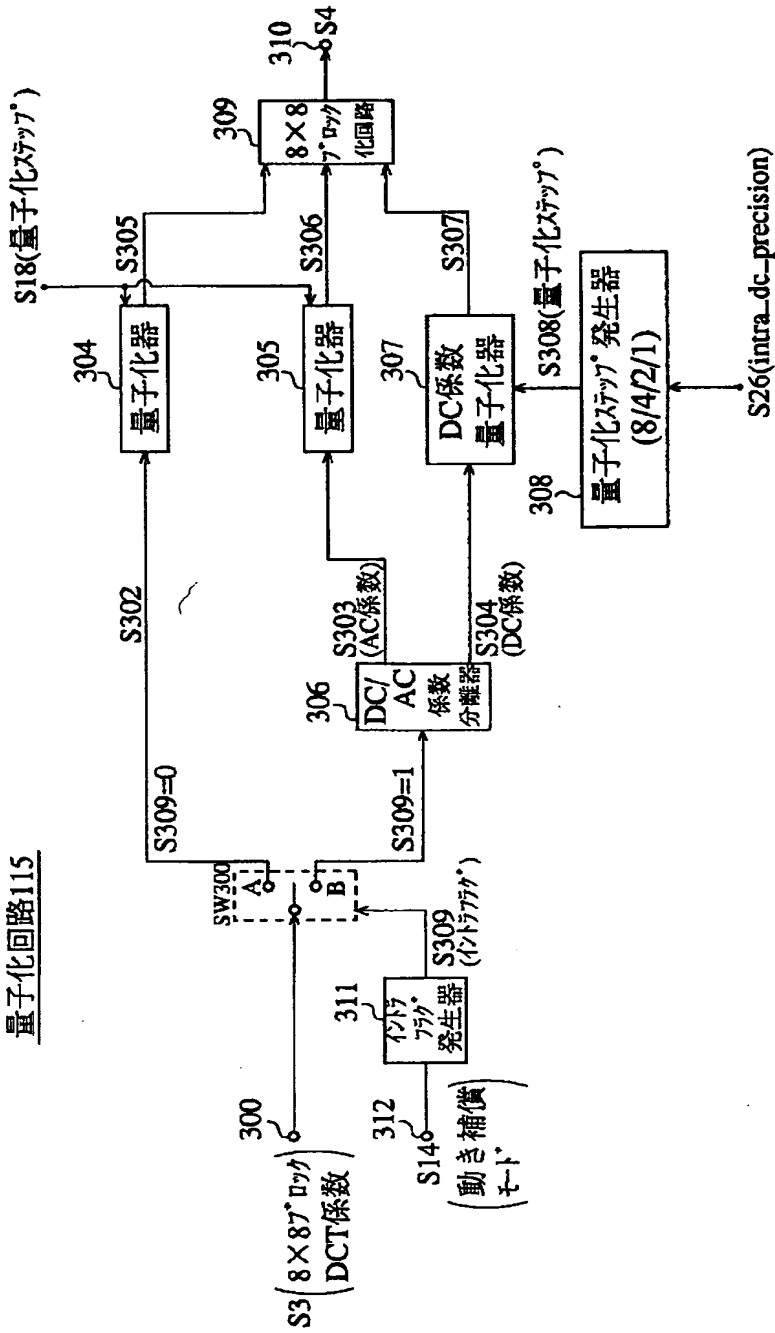
(図5に続く 部分)

{		
for(i=0;i<number_of_fields_displayed;i++) {		
pan_horizontal_left_upper_offset		16 maybe subpe uimsbf required
pan_vertical_left_upper_offset		16 maybe subpe uimsbf required
{		
if(sscalable fscalable) {		
overlap_horizontal_left_upper_offset	17	simsbf
overlap_vertical_left_upper_offset	17	simsbf
if(interlaced && picture_structure==frame_structure) {		
overlap_horizontal_left_upper_offset	17	simsbf
overlap_vertical_left_upper_offset	17	simsbf
{		
}		
intra_dc_precision	2	uimsbf ← L
qscale_type	1	uimsbf
reserved /*byte align */	?	
while(nextbits0!='0000 0000 0000 0000 0000 0001') {		
picture_extension_data	8	
{		
next_start_code0		
{		
if(nextbits0==user_data_start_code) {		
user_data_start_code	32	bslbf
while(nextbits0!='0000 0000 0000 0000 0000 0001') {		
user_data	8	
{		
next_start_code0		
{		
if(picture_coding_type!=5) {		
do {		
slice0		
{		
}		
} while(nextbits0==slice_start_code)		
{		
}		
}		

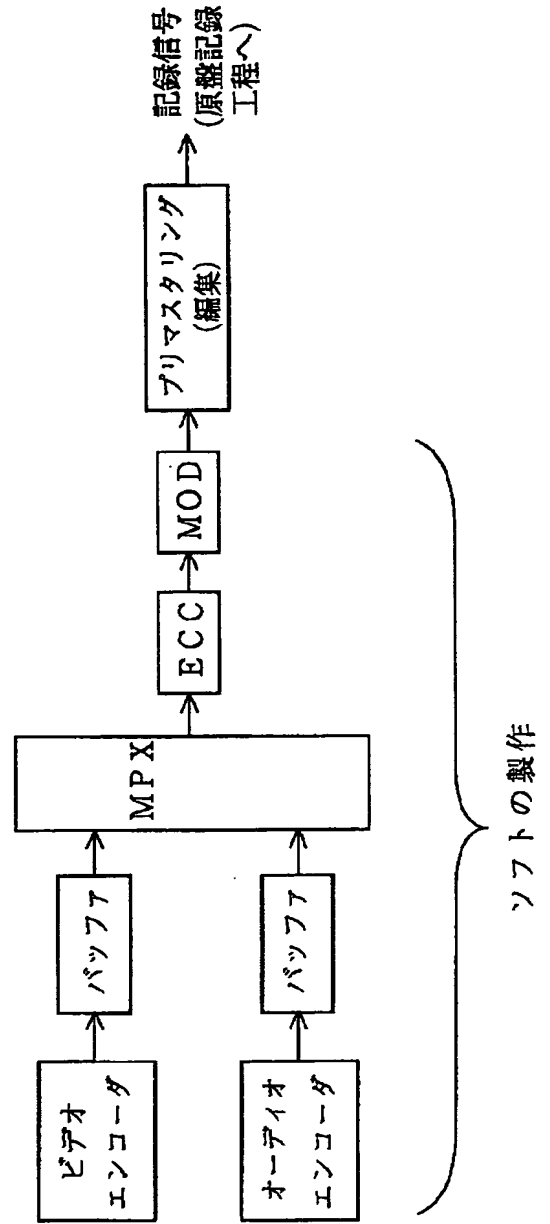
temporal_reference--The temporal_reference is an unsigned integer associated with each input picture. It is incremented by one, modulo 1024, for each input picture. For the earliest picture (in display order) in each group of pictures, the temporal_reference is reset to zero. Its unit is "Frame". (see also Appendix H on Low delay)

picture_coding_type -- The picture_coding_type identifies whether a picture is an intra - coded picture(I), predictive - coded picture(P),bidirectionally predictive - coded picture (B),intra - coded with only DC coefficients (D),or skipped picture (S) according to the following Table. D-pictures shall never be included in the same video sequence as the pther picture coding types. When S - picture, there should be no data for below the slice layer, and the decoder does not take time to display them.

量子化回路115



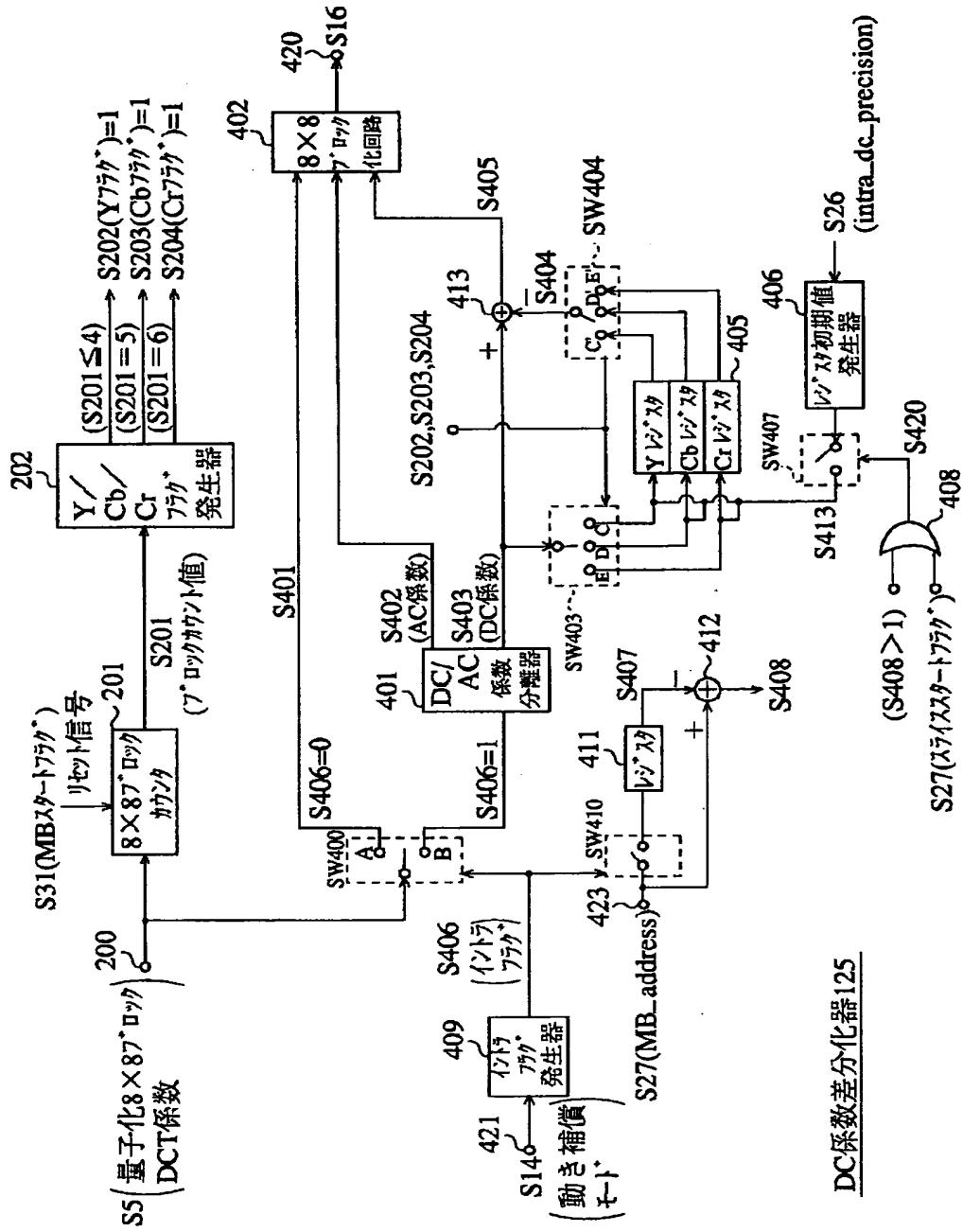
【図7】



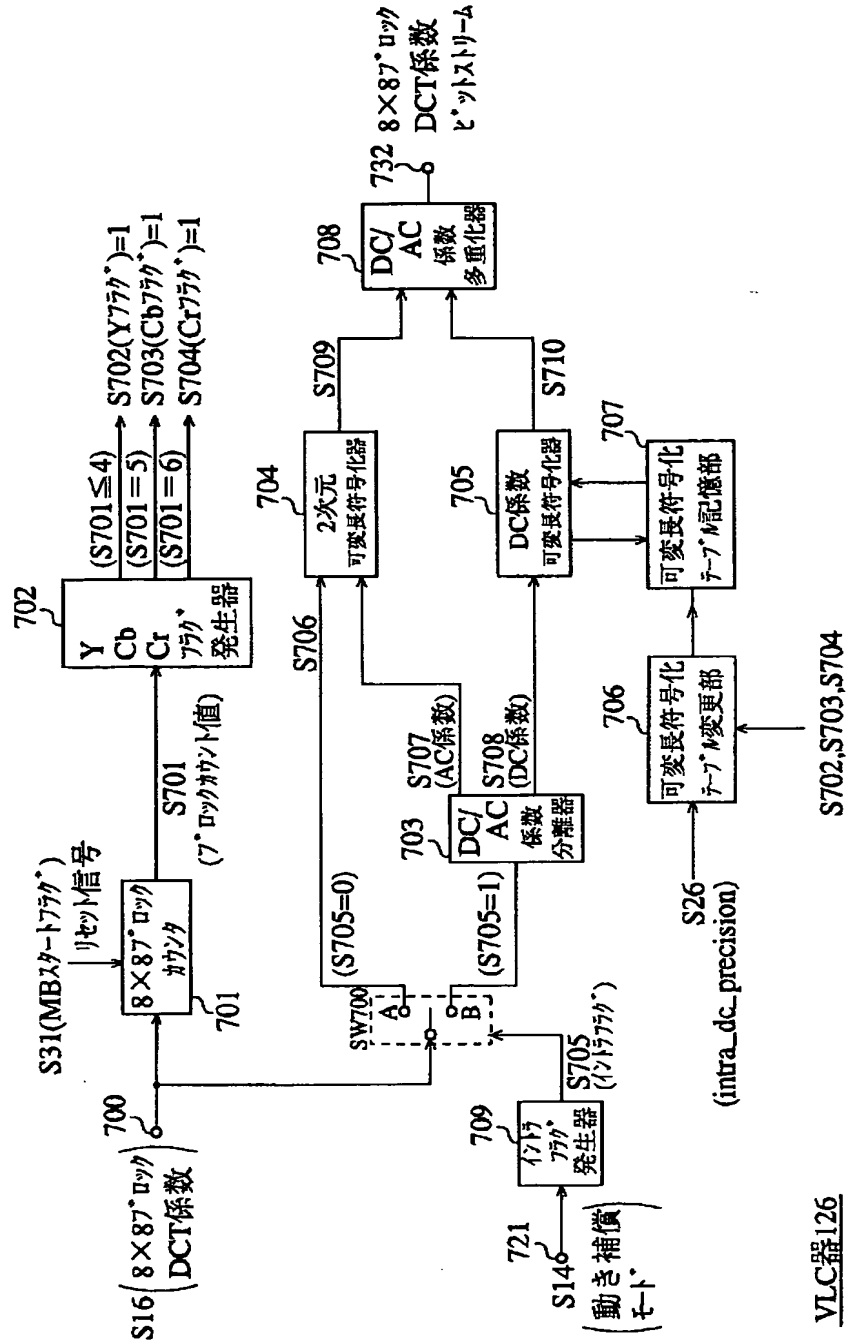
【図12】

ソフトの製作

DC係數差分化器125

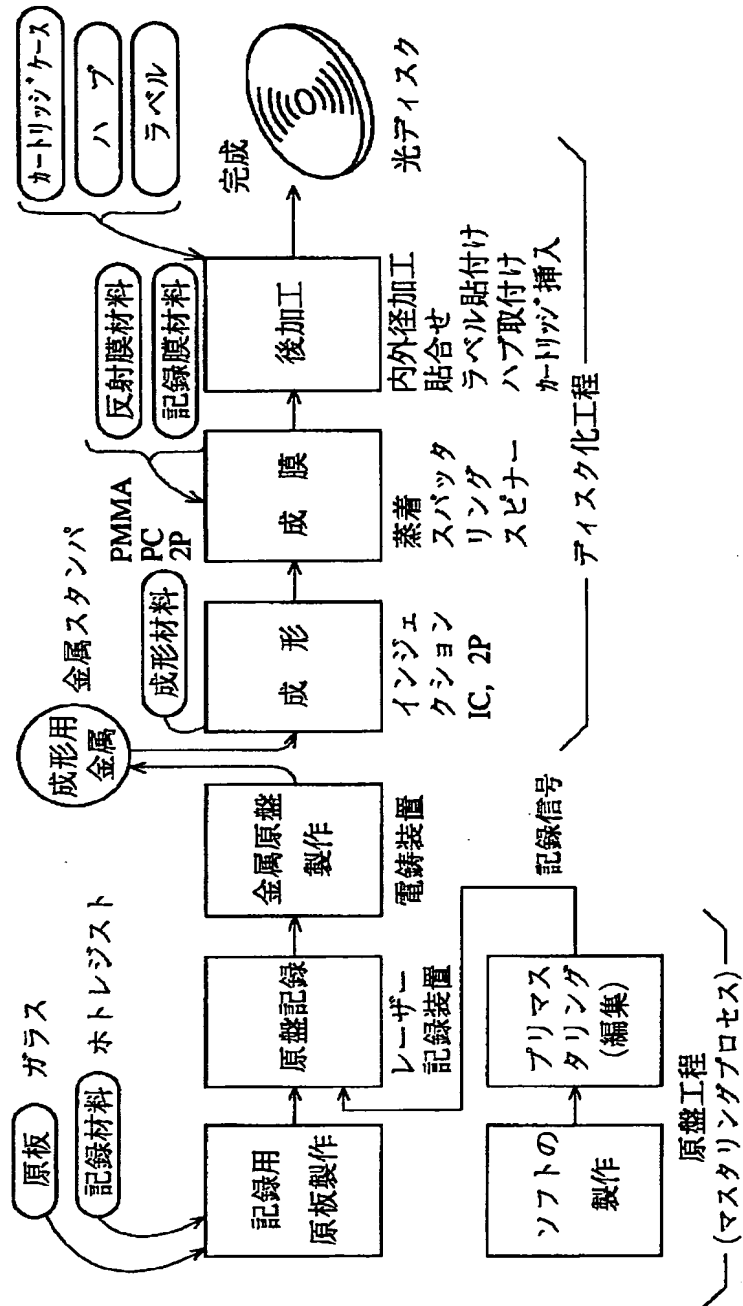


【図10】

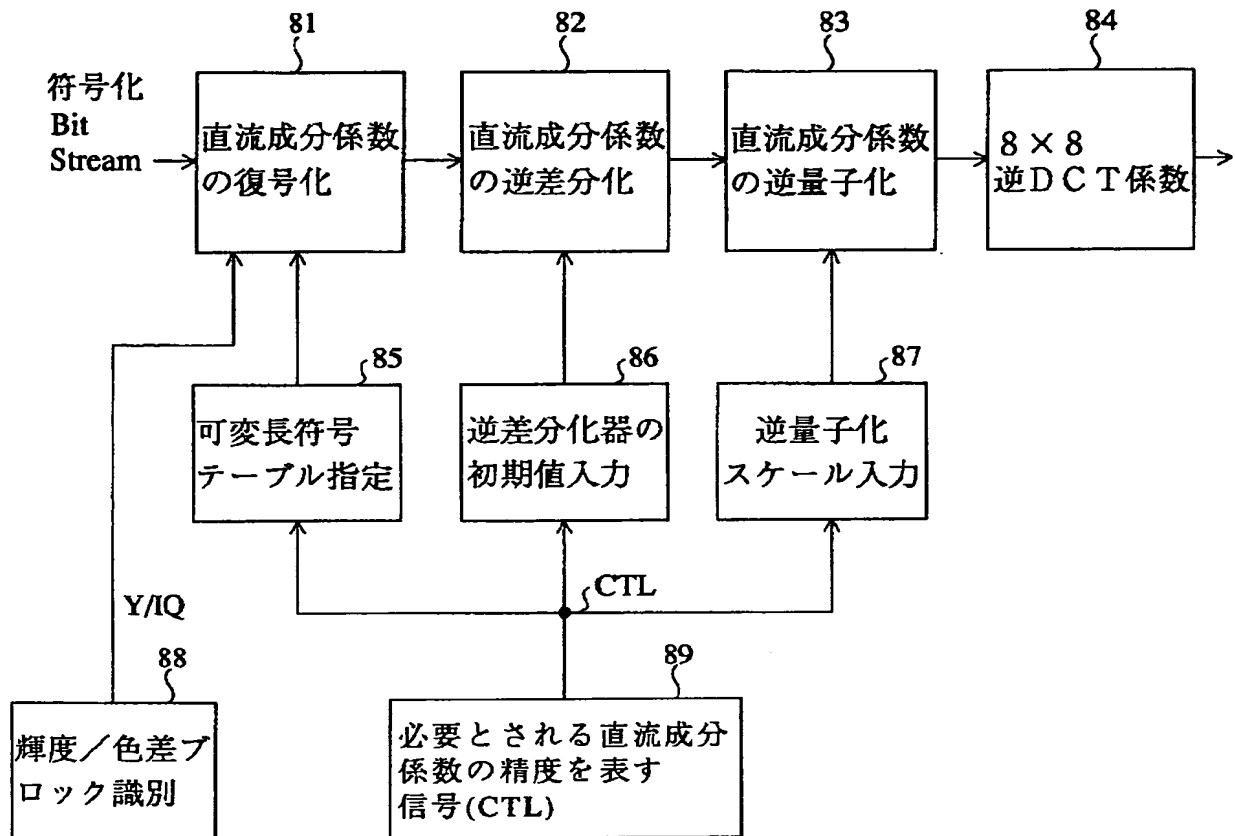


VLC 器 126

【図11】



【図 13】

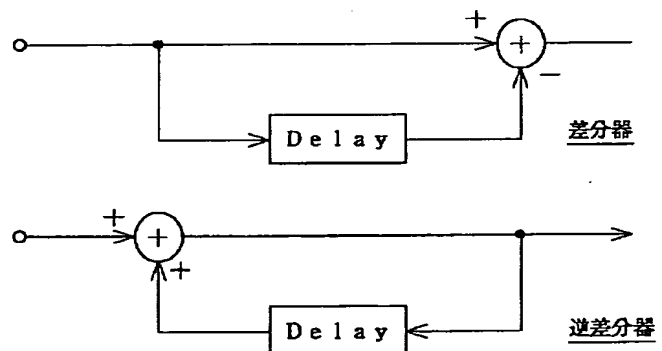


【図 18】

⇒

↓	F(0,0)	F(1,0)	F(2,0)	F(3,0)	F(4,0)	F(5,0)	F(6,0)	F(7,0)
	F(0,1)	F(1,1)	F(2,1)	F(3,1)	F(4,1)	F(5,1)	F(6,1)	F(7,1)
	F(0,2)	F(1,2)	F(2,2)	F(3,2)	F(4,2)	F(5,2)	F(6,2)	F(7,2)
	F(0,3)	F(1,3)	F(2,3)	F(3,3)	F(4,3)	F(5,3)	F(6,3)	F(7,3)
	F(0,4)	F(1,4)	F(2,4)	F(3,4)	F(4,4)	F(5,4)	F(6,4)	F(7,4)
	F(0,5)	F(1,5)	F(2,5)	F(3,5)	F(4,5)	F(5,5)	F(6,5)	F(7,5)
	F(0,6)	F(1,6)	F(2,6)	F(3,6)	F(4,6)	F(5,6)	F(6,6)	F(7,6)
	F(0,7)	F(1,7)	F(2,7)	F(3,7)	F(4,7)	F(5,7)	F(6,7)	F(7,7)

【図 21】



【図 1 4】

```

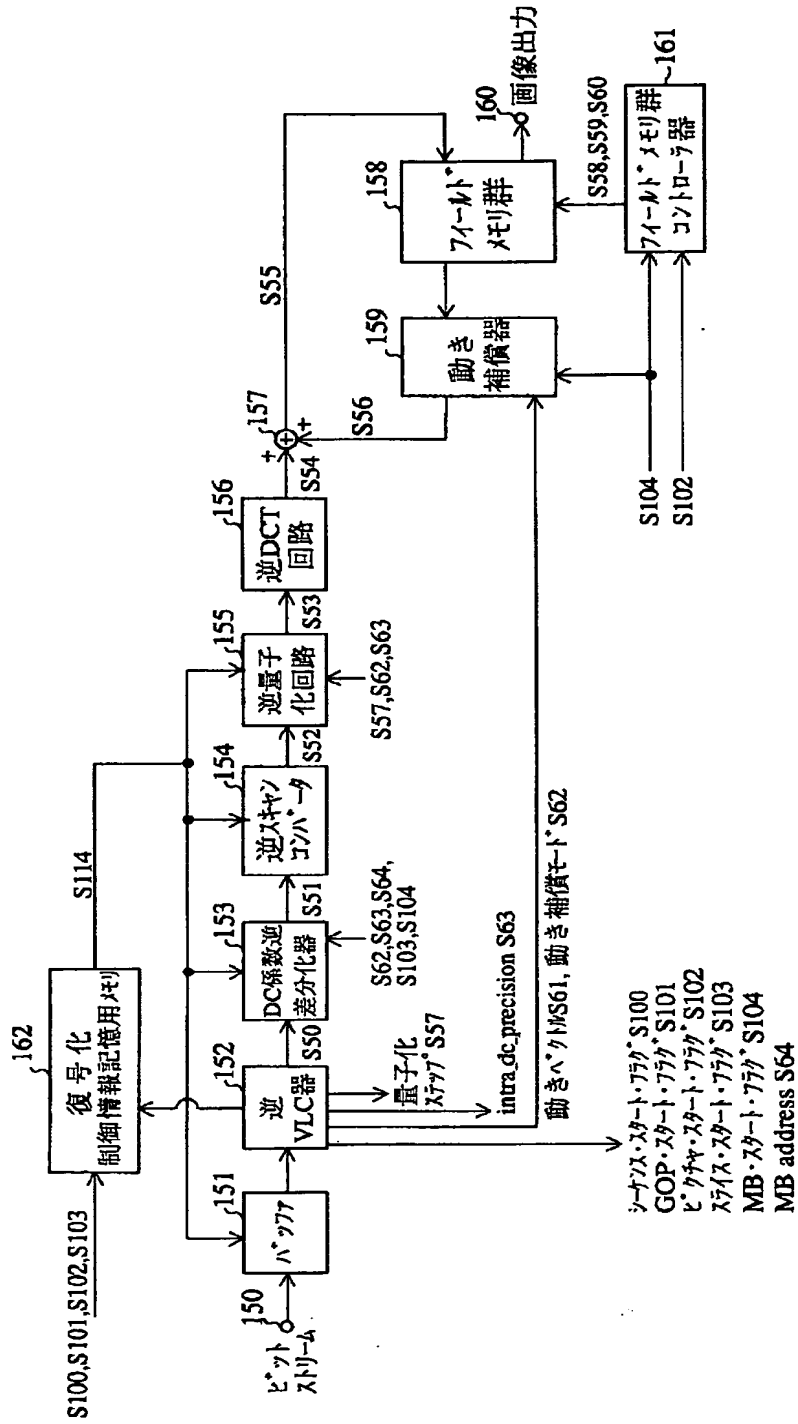
/*-----
  直流成分係数の可変長符号の復号化
-----*/
ivlc_dct_dc()
{
  int dct_dc_size; /* S I Z E */
  int dct_dc_diff; /* 直流成分係数の差分値 */
  /*-----
    表5、表6を参照して S I Z E の可変長符号を復号する。
    -----*/
  if (isY_block) {
    /*-----
      輝度ブロックの場合
      -----*/
    dct_dc_size = ivlc_dct_dc_size_luminance();
  }
  else {
    /*-----
      色差ブロックの場合
      -----*/
    dct_dc_size = ivlc_dct_dc_size_chrominance();
  }

  /*-----
    直流成分係数の差分値を復号する。(輝度、色差で同じ処理。)
    -----*/
  if (dct_dc_size != 0) {
    /*-----
      dct_dc_size に等しいビット幅の
      ulmsbf(unsigned_integer_most_significant_bit_first)
      を dct_dc_diff に読み込む。
      -----*/
    dct_dc_diff = ivlc_dct_dc_diff(dct_dc_size);

    /*-----
      dct_dc_diff を復号する。
      -----*/
    if ((dct_dc_diff & (1 << (dct_dc_size - 1))) == 0)
      dct_dc_diff = (-1 << dct_dc_size) | (dct_dc_diff + 1);
  }
  else {
    dct_dc_diff = 0;
  }
}

```

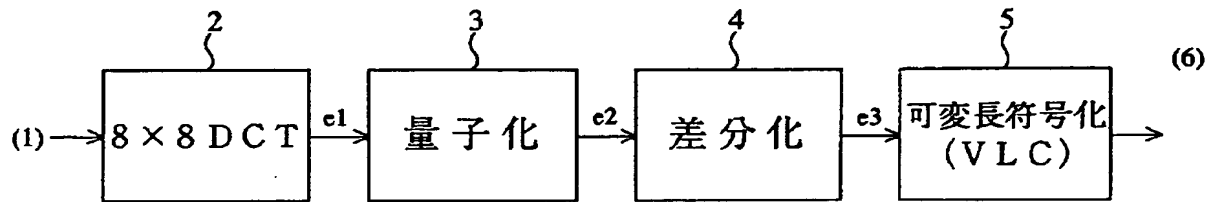
【図15】



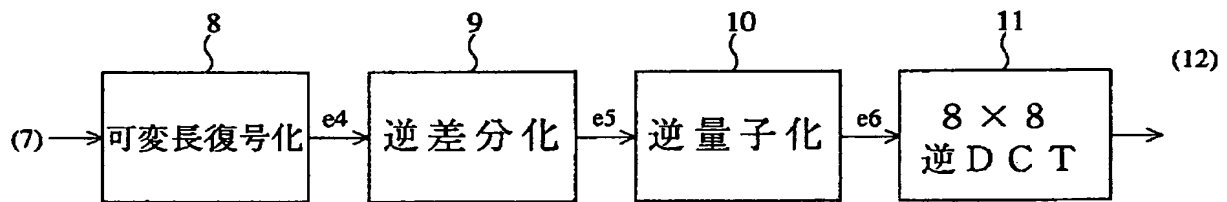
復号化装置

【図19】

(a) 符号化

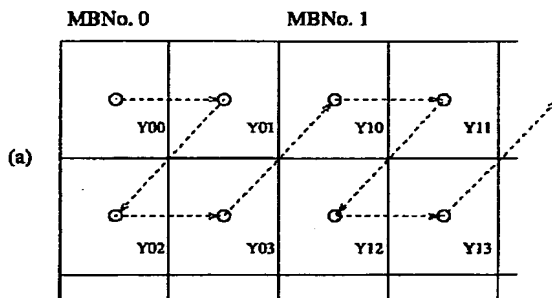


(b) 復号化

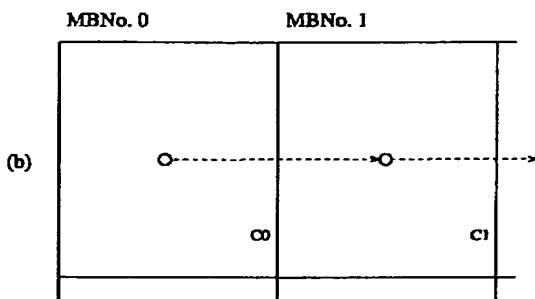


【図20】

輝度Y°ブロック



色差Y°ブロック



【手続補正書】

【提出日】平成5年10月22日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0185

【補正方法】変更

【補正内容】

【0185】 ここで、この符号化装置における、被符号化画像の” intra dc prediction” コードの精度の決

定方法について説明する。例えば、要求される画質として、劣化なし (Loss-Less coding) を望んでいる場合は、DCT直流成分係数レベルの最大範囲が0乃至2047 (これは、入力される画像のビット精度が8ビットの時の、MPEGのDCTモジュールから出力される最大範囲) ならば、係数の伝送精度を11ビットとし、これに対応する” intra dc prediction” コードを設定する。